

Vážení zákazníci,

dovolujeme si Vás upozornit, že na tuto ukázkou knihy se vztahují autorská práva, tzv. copyright.

To znamená, že ukáзка má sloužit výhradně pro osobní potřebu potenciálního kupujícího (aby čtenář viděl, jakým způsobem je titul zpracován a mohl se také podle tohoto, jako jednoho z parametrů, rozhodnout, zda titul koupí či ne).

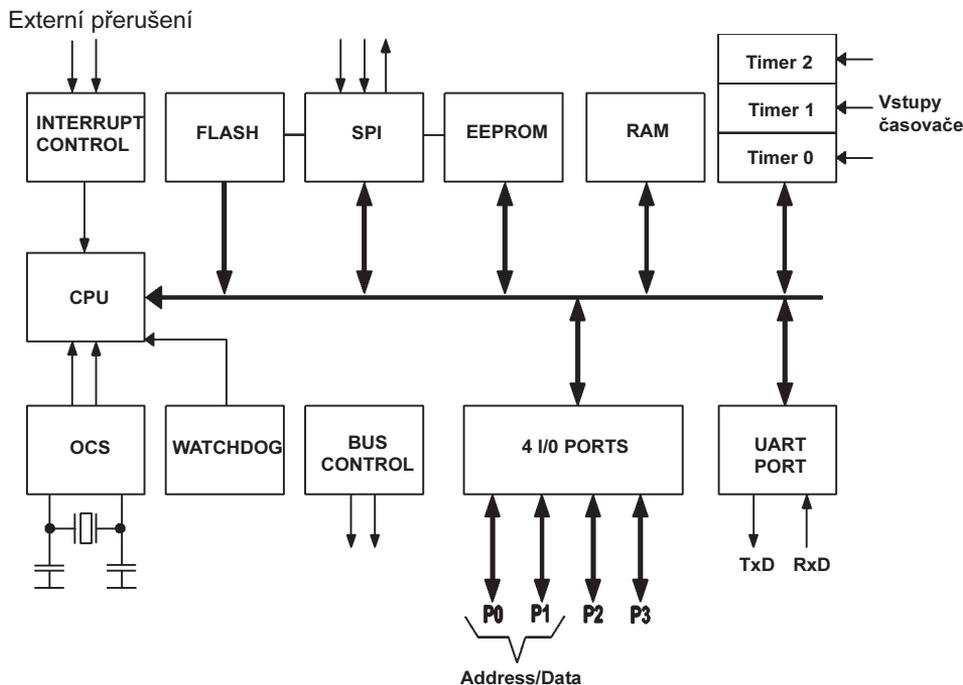
Z toho vyplývá, že není dovoleno tuto ukázkou jakýmkoliv způsobem dále šířit, veřejně či neveřejně např. umístováním na datová média, na jiné internetové stránky (ani prostřednictvím odkazů) apod.

redakce nakladatelství BEN – technická literatura
redakce@ben.cz



1 ARCHITEKTURA MIKROKONTROLÉRŮ ATMEL

Architektura mikrokontrolérů ATMEL je znázorněna na obr. 1



Obr. 1 Blokové schéma mikrokontrolérů ATMEL

Řada AT89C sestává z těchto částí:

- 8bitová centrální procesorová jednotka (CPU);
- paměť programu (FLASH EPROM);
- datová paměť (RAM);
- paralelní programovatelné V/V obvody (4 I/O PORTS);
- blok čítačů/časovačů (TIMER0, TIMER1, ...);
- obvody časování (OSC);
- sériový V/V obvod (UART PORT);
- přerušovací podsystem (INTERRUPT CONTROL).

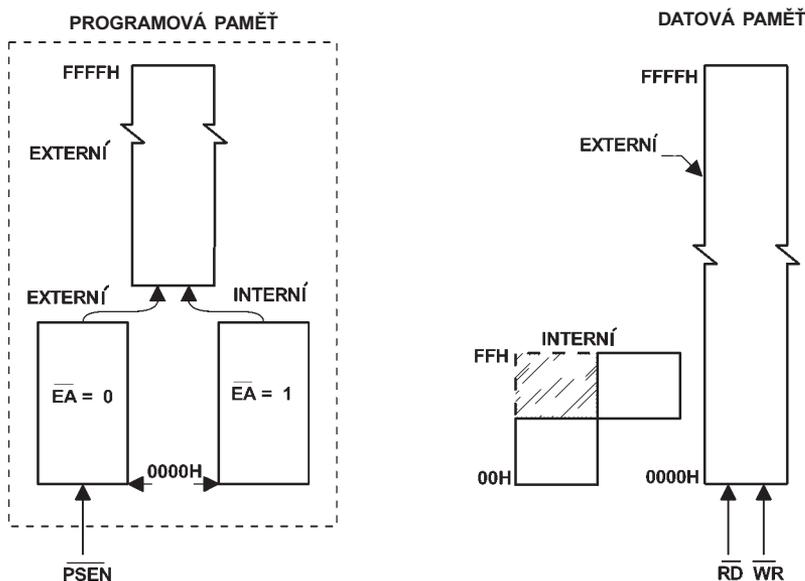
V řadě AT89S přibyly následující části:

- sériová paměť (EEPROM);
- řadič sériové sběrnice (SPI);
- hlídač činnosti (Watch Dog).

Jednotlivé části jsou propojeny interní 8bitovou sběrnicí, která slouží pro přenos dat a instrukcí.

1.1 PAMĚŤOVÝ PODSYSTÉM

Všechny mikrokontroléry firmy ATMEL mají oddělen adresový prostor programu a adresový prostor dat jak je znázorněno na *obr. 2*. Jedná se tedy o Harwardské uspořádání.



Obr. 2 Architektura paměti

Toto oddělení poskytuje přístup k datům interní paměti dat prostřednictvím 8bitové adresace, čímž se zrychluje ukládání a manipulace s 8bitovou centrální procesorovou jednotkou (CPU). Navzdory tomu je možné adresovat paměť dat nepřímo, prostřednictvím 16bitového adresového ukazatele. Paměť programu je v provedení ROM, resp. FLASH EPROM. Adresový prostor paměti programu má velikost 64 kB (*obr. 2*). Výběrový impuls z externí paměti programu je nazván PSEN (Program Store Enable). Adresový prostor externí datové paměti má stejnou kapacitu 64 kB a je přímo adresovatelná v externím paměťovém prostoru. CPU generuje čtecí a zápisové impulsy, které povolují přístup k datům.

Adresový prostor externí paměti programu a externí paměti dat se překrývá a je možné ho odlišit použitím signálů RD a PSEN pro čtení. Odlišení provedeme volbou typu použité instrukce pro přístup k datům.

1.1.1 PAMĚŤ PROGRAMU

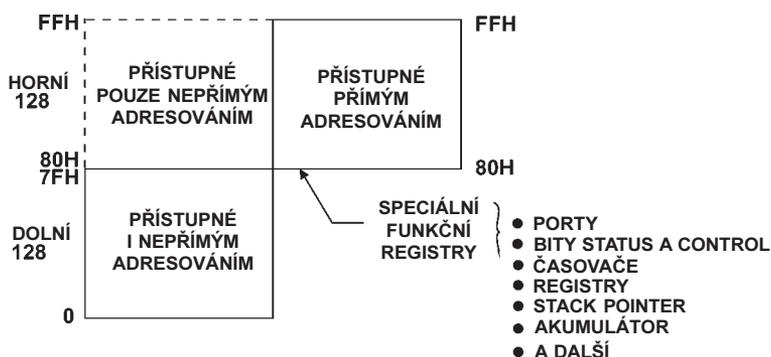
Paměť programu se dělí na interní o velikosti 1 až 20 kB v závislosti na typu mikrokontroléru (viz kapitola 2) a externí, jestli je použita. Pokud se realizuje paměť jako externí, je nutné připojit vstup EA = 0. Častěji se využívá jen interní paměť programu FLASH EPROM a signál EA se

standardně připojuje na hodnotu $\overline{EA} = 1$. Na nulté stránce programové paměti jsou rezervovány vektorové adresy obsluhy jednotlivých zdrojů přerušení (viz kap. Přerušovací systém).

Množina adres paměti programu je adresována 16bitovým čítačem instrukcí (Program Counter) – PC, který adresuje interní paměť programu v rozsahu platných adres dle kapacity interní paměti FLASH EPROM a externí paměť programu v rozsahu vyšších adres do FFFFH, přičemž je jeho obsah přenášen na výstupy portů P0 a P2.

1.1.2 PAMĚŤ DAT

Paměť dat mikrokontrolérů ATMEL je možno rozdělit na interní a externí. Interní paměť dat typu RAM má rozsah 64, 128 nebo 256 bytů. Mapa interní paměti RAM je na obr. 3.



Obr. 3 Interní datová paměť RAM

Interní datová paměť má paměťový prostor rozdělen na tři bloky:

- LOWER** – Dolní 128 (nižší část interní RAM);
- UPPER** – Horní 128 (vyšší část interní RAM);
- SPECIAL FUNCTION REGISTERS** – SFR (oblast speciálních registrů).

Adresování paměťového prostoru interní paměti je vždy 8bitové, což umožňuje adresovat 256 bytů. Oproti tomu prostřednictvím adresových módů se může přistupovat až k 384 bytům interní paměti RAM. Přímé adresování ovládá paměťový blok horní 128 (FFH-7FH) a nepřímé adresování paměťový blok SFR (FFH-7FH). Obsazují tedy stejný adresový prostor, ale fyzicky jsou odděleny. Přístup do paměťového bloku RAM Dolní 128 je realizován jak přímou, tak nepřímou adresací.

Interní paměť RAM Dolní 128 (tab. 1) obsahuje čtyři banky registrů označených RB0 až RB3 a každá banka registrů obsahuje 8 registrů R0 až R7. Uvedené banky registrů jsou umístěné na adresách 00H až 1FH. Oblast 16 následujících adres 20H až 2FH je bitově adresovatelná oblast paměti RAM, ve které je možné pomocí bitové adresace adresovat každý ze 128 bitů zvlášť (0–127). Instrukční sada obsahuje celou řadu instrukcí pro práci s bitově přístupnou oblastí paměti RAM.

Zůstávající oblast interní RAM tj. adresy 30H až 7FH jsou určeny na univerzální použití.

Skupina speciálních registrů SFR (Special Function Registers) je umístěna na adresách 80H až F0H jak je zobrazeno v tab. 2 – Mapa SFR. Obsahuje 21 (27) speciálních registrů.

HEX	(MSB)								(LSB)	DEC
FFH										255
:										:
:										:
7FH										127
:										:
:										:
3FH										63
:										:
:										:
32H										50
31H										49
30H										48
2FH	7F	7E	7D	7C	7B	7A	79	78	47	
2EH	77	76	75	74	73	72	71	70	46	
2DH	6F	6E	6D	6C	6B	6A	69	68	45	
2CH	67	66	65	64	63	62	61	60	44	
2BH	5F	5E	5D	5C	5B	5A	59	58	43	
2AH	57	56	55	54	53	52	51	50	42	
29H	4F	4E	4D	4C	4B	4A	49	48	41	
28H	47	46	45	44	43	42	41	40	40	
27H	3F	3E	3D	3C	3B	3A	39	38	39	
26H	37	36	35	34	33	32	31	30	38	
25H	2F	2E	2D	2C	2B	2A	29	28	37	
24H	27	26	25	24	23	22	21	20	36	
23H	1F	1E	1D	1C	1B	1A	19	18	35	
22H	17	16	15	14	13	12	11	10	34	
21H	0F	0E	0D	0C	0B	0A	09	08	33	
20H	07	06	05	04	03	02	01	00	32	
1FH	Banka registrů 3								31	
18H									24	
17H	Banka registrů 2								23	
10H									16	
0FH	Banka registrů 1								15	
08H									8	
07H	Banka registrů 0								7	
00H									0	

Tab. 1 Nižších 128 bytů interní RAM

bytová adresa	(MSB)							(LSB)	SFR
0F0H	F7	F6	F5	F4	F3	F2	F1	F0	B
	B.7	B.6	B.5	B.4	B.3	B.2	B.1	B.0	
0E0H	E7	E6	E5	E4	E3	E2	E1	E0	ACC
	ACC.7	ACC.6	ACC.5	ACC.4	ACC.3	ACC.2	ACC.1	ACC.0	
0D5H	SPIE SPE DORD MSTR CPOL CPHA SPR1 SPR0								SPCR
0D0H	D7	D6	D5	D4	D3	D2	D1	D0	PSW
	CY	AC	F0	RS1	RS0	OV	-	P	
0CDH	Registr čítače 2 - horní byte								TH2
0CCH	Registr čítače 2 - dolní byte								TL2
0CBH	Záchytný registr čítače 2 - horní byte								RCAP2H
0CAH	Záchytný registr čítače 2 - dolní byte								RCAP2L
0C9H							T2OE	DCEN	T2MOD
	CF	CE	CD	CC	CB	CA	C8	C8	
0C8H	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	C/T2	CP/RL2	T2CON
0B8H			BD	BC	BB	BA	B9	B8	IP
			PT2	PS	PT1	PX1	PT0	PX0	
0B0H	B7	B6	B5	B4	B3	B2	B1	B0	P3
	P3.7	P3.6	P3.5	P3.4	P3.3	P3.2	P3.3	P3.0	
	RD	WR	T1	T0	INT1	INT0	TxD	RxD	
0AAH	SPIF	WCOL							SPSR
0A8H	AF	AE	AD	AC	AB	AA	A9	A8	IE
	EA		ET2	ES	ET1	EX1	ET0	EX0	
0A0H	A7	A6	A5	A4	A3	A2	A1	A0	P2
	P2.7	P2.6	P2.5	P2.4	P2.3	P2.2	P2.1	P2.0	
	Adr15	Adr14	Adr13	Adr12	Adr11	Adr10	Adr9	Adr8	
99H	Příjmací/vysílací registr sériového kanálu								SBUF
98H	9F	9E	9D	9C	9B	9A	99	98	SCON
	SM0	SM1	SM2	REN	TB8	RB8	TI	RI	
96H	PS2	PS1	PS0	EEMWE	EEMEN	DPS	WDTRST	WDTEN	WCON
90H	97	96	95	94	93	92	91	90	P1
	P1.7	P1.6	P1.5	P1.4	P1.3	P1.2	P1.1	P1.0	
	SCK	MISO	MOSI	SS			T2EX	T2	
8DH	Registr čítače 1 - horní byte								TH1
8CH	Registr čítače 0 - horní byte								TH0
8BH	Registr čítače 1 - dolní byte								TL1
8AH	Registr čítače 0 - dolní byte								TL0
89H	BF	BE	BD	BC	BB	BA	B9	B8	TMOD
	1G	1C/T	1M1	1M0	0G	0C/T	0M1	0M0	
88H	8F	8E	8D	8C	8B	8A	89	88	TCON
	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0	
87H	SMOD			POF	GF1	GF0	PD	IDL	PCON
86H	SPD7	SPD6	SPD5	SPD4	SPD3	SPD2	SPD1	SPD0	SPDR
85H	Bázový registr DPTR1 - horní byte								DP1H
84H	Bázový registr DPTR1 - dolní byte								DP1L
83H	Bázový registr DPTR0 - horní byte								DP0H
82H	Bázový registr DPTR0 - dolní byte								DP0L
81H	Ukazovatel zásobníkové paměti								SP
80H	87	86	85	84	83	82	81	80	P0
	P0.7	P0.6	P0.5	P0.4	P0.3	P0.2	P0.1	P0.0	
	D7/Adr7	D6/Adr6	D5/Adr5	D4/Adr4	D3/Adr3	D2/Adr2	D1/Adr1	D0/Adr0	

Tab. 2 Mapa SFR (speciálních funkčních registrů)

Střadač (Accumulator) – ACC, A

Základní pracovní registr centrální procesorové jednotky CPU, který vždy obsahuje operand instrukce a do něhož se ukládá výsledek operace. Střadač je součástí RAM (adresa E0H), což umožňuje kromě standardních operací i bitové operace (ACC.7 – ACC.0).

B registr – B

Pracovní registr, který je používán při operacích dělení a násobení. Lze ho také použít jako normální pracovní registr.

Stavový registr (Program Status Word) – PSW

PSW registr obsahuje v každém okamžiku stav procesoru a výsledek výkonu předcházející instrukce.

Ukazatel zásobníku (Stack Pointer) – SP

Ukazatel zásobníku je adresový registr interní RAM ukazující na vrchol zásobníku, ve které je uložena návratová adresa po volání instrukcí PUSH, POP a CALL. SP je inkrementován před výkonem instrukcí PUSH a CALL a dekrementován po vykonání instrukcí POP a RET. Po inicializaci je SP stále na adrese 07H což znamená, že ukazuje na adresnou buňku 08H. Jeho umístění je možné programově změnit v oblasti adresace RAM.

Ukazatel dat (Data Pointer) – DPTR

Ukazatel dat je dvoubytový adresný registr, skládá se ze dvou 8bitových registrů DPH, DPL. Jeho funkcí je ukazovat na paměťovou buňku v datové paměti v rozsahu 0000H – FFFFH. Je přístupný jako dvojitý 16bitový registr i jako dva 8bitové registry zvlášť.

Čítač instrukcí (Program Counter) – PC

16bitový čítač instrukcí, není programově přístupný.

VV porty (Ports) – P0, P1, P2, P3

Vstupně-výstupní porty P0, P1, P2, P3 jsou v oblasti SFR reprezentovány jako registry se stejným označením P0, P1, P2, P3.

Registr sériového kanálu (Serial Data Buffer) – SBUF

Registr sériového kanálu – jsou ve skutečnosti dva oddělené registry – vysílací a přijímací. Jsou-li jsou data přesunuta do registru SBUF, procházejí vysílacím registrem. Inicializace přenosu se vykoná okamžitě. Přicházející data procházejí pouze přes tento registr (SBUF) a musí být z něj přečteny.