

Vážení zákazníci,

dovolujeme si Vás upozornit, že na tuto ukázkou knihy se vztahují autorská práva, tzv. copyright.

To znamená, že ukáзка má sloužit výhradně pro osobní potřebu potenciálního kupujícího (aby čtenář viděl, jakým způsobem je titul zpracován a mohl se také podle tohoto, jako jednoho z parametrů, rozhodnout, zda titul koupí či ne).

Z toho vyplývá, že není dovoleno tuto ukázkou jakýmkoliv způsobem dále šířit, veřejně či neveřejně např. umístováním na datová média, na jiné internetové stránky (ani prostřednictvím odkazů) apod.

redakce nakladatelství BEN – technická literatura
redakce@ben.cz



4. Mikroprocesor 8xC251SB

Obvod 8xC251SB je prvním mikroprocesorem z řady MCS251 (Intel) 8bitových procesorů rozšiřujících vlastnosti a hlavně výkon široce používaných procesorů z řady 8051. Uvedený procesor je zajímavý hlavně tím, že v jednom z módů, do kterého lze naprogramovat (režim kódové kompatibility), je obvod 8xC251SB vývodově i programově slučitelný se stávajícími procesory řady 8051. S minimálními zásahy do existujícího zařízení i programu lze zvýšit výkon až 6násobně. Vlastní procesory z řady MCS251 budou mít tyto společné vlastnosti:

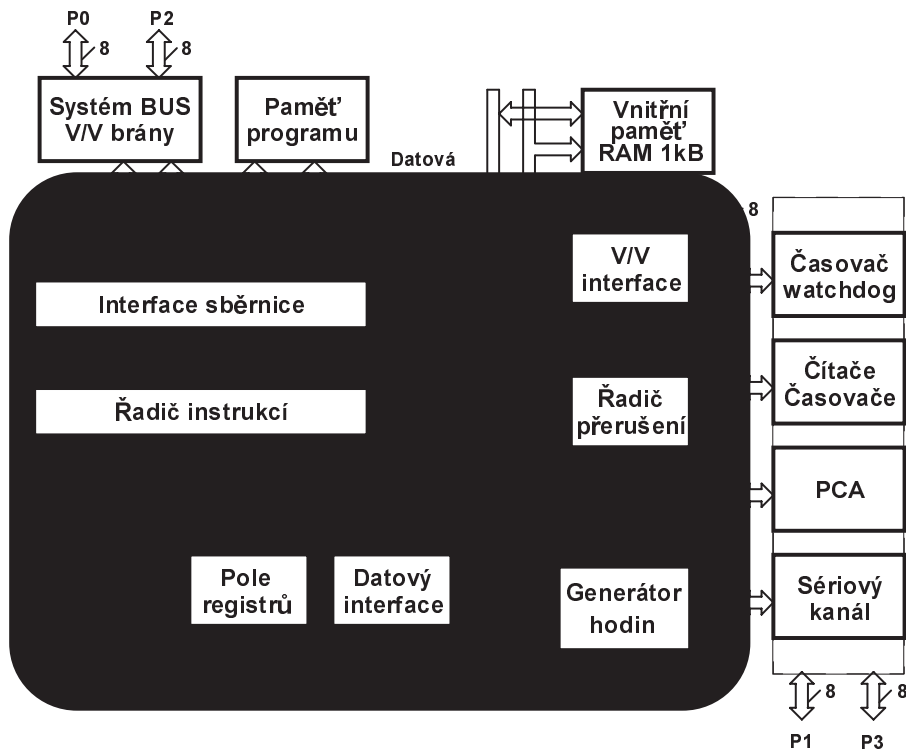
- 24bitovou adresu umožňující lineárně adresovat až 16 Mbitů paměti
- registrové jádro CPU s registry přístupnými po bytech, slovech a slovech dvojnásobné délky
- stránkování paměti pro zvýšení rychlosti přístupu k vnějším pamětem
- dvojnásobné překrývání instrukcí (pipeline)
- rozšíření zásobníku až na 64 kB
- strojový cyklus tvořený dvěma hodinovými cykly
- kódovou kompatibilitu s 8051
- výrazně rozšířený instrukční soubor

Na *obr. 46* je zobrazen blokový diagram 8xC251SB, kde je šedou plochou označeno jádro procesoru, které bude společné pro celou rodinu 251. Jednotlivé typy se budou od sebe lišit počtem i typy periférií na čipu. První zástupce je vybaven čtyřmi 8bitovými branami, třemi čítači/časovači, čítačem podporovaným programovatelným polem (PCA), čítačem watchdog a sériovým kanálem. Každý V/V vývod je obecně použitelný nebo může být využit jako vývod alternativní funkce, která je na něj vyvedena. Z *obr. 46* je zřejmé, že čtení instrukcí z vnitřní programové paměti probíhá po dvou bytech najednou, z vnější paměti pouze po bytech. Pro zrychlení čtení z vnější paměti je vhodné konfigurovat procesor do stránkového módu. Čtení instrukce ze stejné stránky potom trvá pouze jeden strojový cyklus (dva hodinové cykly) a čtení z různých stránek dva strojové cykly (čtyři hodinové cykly). Řadič přerušení přijímá sedm maskovatelných žádostí až od jedenácti zdrojů přerušení.

4.1. Organizace paměti

Mikroprocesor 8xC251 má tři adresové prostory, které jsou tvořeny paměťovým prostorem s kapacitou až 16 MB (00:0000H ÷ FF:FFFFH), 512 byty specializovaných registrů (S:000H ÷ S:1FFFH) a 64 byty souboru registrů. Na *obr. 47* je zobrazen celý adresový prostor procesoru 8xC251, který se skládá z 256 64kB oblastí, které nadále budeme formálně označovat 00: až FF:. Hodnoty uložené

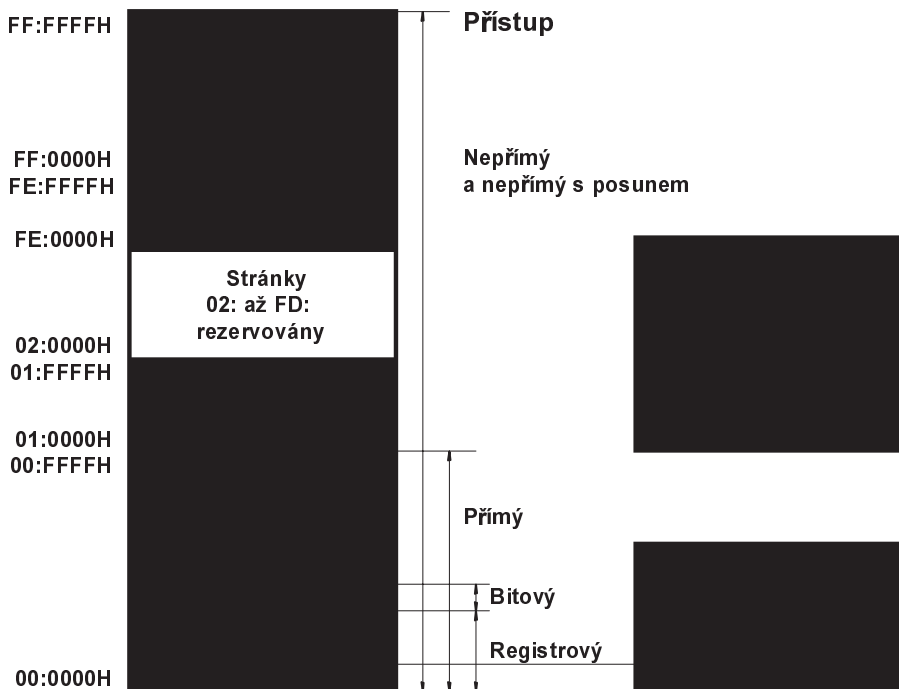
v paměti mohou být, vyjma oblasti 00:, adresovány pouze nepřímou nebo nepřímou s posunem. V oblasti 00:0020H až 00:041FH (bude záviset na typu obvodu) je umístěna na čipu paměť RAM, která slouží k ukládání dat. Tuto paměť, jako jedinou část ze čtyřech bloků (00:, 01:, FE: a FF:, nelze využívat jako paměť programovou a tudíž v ní nelze spustit program. Data jsou adresovatelná přímo, nepřímou i nepřímou s posunem. Oblast této paměti od adresy 00:0020H až 00:007FH je bitově adresovatelná. V oblasti FF:0000H až FF:3FFFH je umístěna vnitřní programová paměť, která ve shodě s procesory 8051 je ovládána vývodem EA (EA=0 - pouze vnější paměť). Oblast speciálních registrů je ovládána přes adresy S:000H až S:1FFH, které jsou v assembleru C251 povinné pro odlišení od adres 00:0000H až 00:01FFFH vnitřní datové paměti procesoru.



Obr. 46 Vnitřní bloková struktura procesoru 8xC251SB

V registrové oblasti jsou obsazeny pozice (adresy) 00H÷1FH a 38H÷3FH. Oblast 20H÷37H je zatím rezervována. K registrům, které jsou umístěny v jádře CPU, lze v závislosti na jejich umístění přistupovat po bytech, slovech nebo slovech s dvojnásobnou délkou. Po bytech lze přistupovat k registrům R0 až R15, které

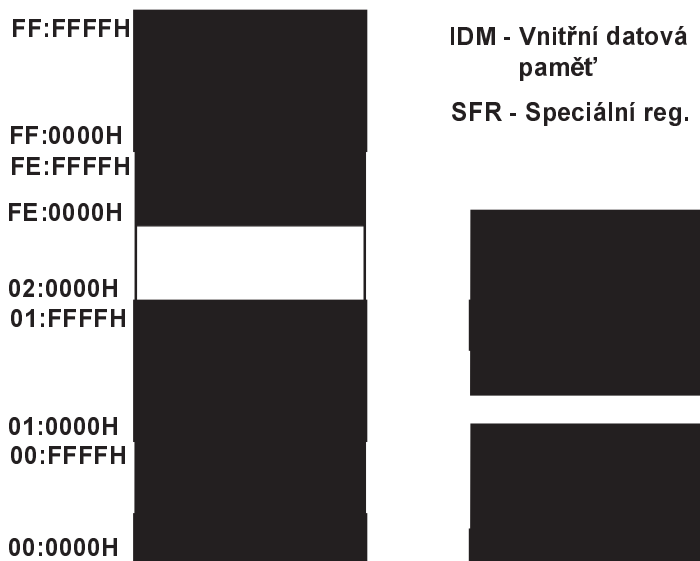
leží na pozicích 00H÷0FH. Na pozice 00H÷1FH lze přistupovat po slovech (16 bitech) přes registry označené WR0, WR2, WR4, až WR30 obsahující vždy dva byty (tj. WR0 pozici 0H a 1H, WR2 pozici 2H a 3H, až WR30 pozici 1EH a 1FH). Nakonec lze přistupovat pomocí deseti 32bitových registrů označených DR0 (0,1,2,3), DR4 (4,5,6,7), ..., DR28 (1CH,1DH,1EH,1FH) a DR56 (38H÷3BH) a DR60 (3CH÷3FH). Vyjma přístupu do bytového souboru přes názvy jednotlivých registrů, je umožněn přístup na pozice 00H÷1FH přes nejnižší adresy vnitřní paměti RAM (tj. 00:0000H÷00:001FH), nebo přes registry R0 až R7 jedné ze čtyřech aktuálních bank registrů.



Obr. 47 Struktura paměťového prostoru řady 8xC251 (vybar.části 8XC251SB)

Z popsaných registrů mají některé registry výsadní postavení. Registr R10 představuje registr B, registr R11 představuje akumulátor (ACC), registr DR56 je rozšířený ukazatel DPX (DPXL, DPH, DPL) a DR60 je rozšířený ukazatel zásobníku (SPH, SP). Střadač i registr B jsou přístupné i přes adresu z oblasti speciálních registrů (ACC = S:0E0H a B = S:0F0H). Stejně tak tomu je i s dílčími registry rozšířených ukazatelů dat a zásobníku. SP představuje 8bitový ukazatel zásob-

níku v módu 8051, v architektuře C251 se prodlužuje na 16 bitů pro umístění zásobníku po celé paměťové oblasti 00:.. Speciální registry SFR jsou umístěny v jádře procesoru nebo v jeho perifériích. Umístění jednotlivých registrů je v dodatku tohoto textu.



Obr. 48 Rozmístění adresových prostorů 8051 v architektuře MCS251

Na obr. 48 je zobrazeno umístění paměťových oblastí procesoru 8051 v architektuře procesoru 8xC521. Je-li procesor modifikován do režimu slučitelného s 8051, potom přístupy k jednotlivým oblastem zůstávají stejné jako na procesoru 8051.

Architektura MCS251 podporuje sedm typů adresovacích módů:

- *registrové adresování*, kde operandem je registr např. R0÷R15, WR0, WR2, ...nebo DR0, DR4, ... (v módu 8051 pouze R0÷R7).
- *bezprostřední adresování*, kde operand je přímo uveden v instrukci např. #data16.
- *přímé adresování*. V instrukci je přímo uvedena adresa operandu např. 00:0020H.
- *nepřímé adresování*. V instrukci je obsažen registr, který obsahuje adresu operandu např. @WRj (16bitová adresa v WRj), @DRj (24bitová adresa v DRj).

- *nepřímé adresování s posunem (bázové)*. Adresa operandu je dána součtem 16bitového posunu a nepřímé adresy např. @WRj+8000H. Součet 16bitových adres je realizován v modulu 2^{16} a bude vždy ležet uvnitř prvních 64 kB paměti. Při použití slova dvojnásobné délky k adresování a posunu např. @Dk+01:0020H, potom výsledná adresa bude ležet v celém adresovém prostoru (nejvyšší byte musí být 0).
- *relativní adresování* je využíváno při skokových instrukcích.
- *bitové adresování*. U tohoto typu adresování v architektuře MCS251 dochází ke změně v možnostech symbolického zápisu, kdy je zrušena možnost zápisu přímé adresy. Na bit je možno se obrátit symbolickým jménem, označením bitu registru nebo bitu adresy např. povolení masky přerušení od sériového kanálu *SETB ES, SETB IE0.4 nebo SETB S:A8.4H*.

4.2. Přerušovací systém

Mikroprocesor 8xC251 má v zásadě stejný přerušovací systém jako procesor 8051. Zvětšil se pouze počet zdrojů, které mohou přerušení vyvolat, o jeden výstup z čítačem řízeného programovatelného pole (EC) a jeden výstup od časovače 2 nebo vnějšího vstupu časovače 2 (ET2). Osmým zdrojem přerušení, které oproti ostatním nelze zakázat, je instrukce TRAP (programové přerušení). Druhou odlišností je zvětšení počtu úrovní priority jednotlivých přerušení ze dvou na čtyři úrovně. Tím se uživatelé výrazně zvětšují možnosti individuální konfigurace priorit jednotlivých přerušení. Výrobce definované priority v dané úrovni zůstávají stejné jako na 8051, nová přerušení mají nejnižší priority (časovač 2 po sériovém kanále, PCA až po časovači 2). Adresy počátků obslužných podprogramů jednotlivých přerušení pokračují v duchu 8051 tj. sériový kanál FF:0023H, časovač 2 FF:002BH a PCA FF:0033H.

Nové periferie vytvářejí svoje žádosti o přerušení, stejně jako sériový kanál, jako logický součet dvou nebo více návěstí. V případě časovače 2 je žádost o přerušení vytvořena jako logický součet bitu TF2 (přetečení časovače 2) a bitu EXF2 (vnější návěští 2). V případě programovatelného pole PCA je žádost tvořena logickým součtem pěti návěstí událostí CCFx a návěstí CF (přetečení časovače). Protože všem návěštím je přiřazena jedna adresa obslužného programu, je nutné v tomto programu zjistit zdroj přerušení a teprve potom jej vynulovat. Z tohoto důvodu musí být žádosti časovače 2, PCA i sériového kanálu nulovány programově. Protože přerušovací systém procesoru 251 má čtyři úrovně priority, je procesor vybaven dvěma registry úrovně priority IPH (vyšší) a IPL (nižší). Odpovídající bity z obou registrů představují binární číslo od 0 (nejnižší) do 3 (nejvyšší) určující úroveň priority daného přerušení.

Bit	Zdroj přerušení	Bit	Zdroj přerušení
0	Vnější přerušení INT0	1	Přetečení časovače 0
2	Vnější přerušení INT1	3	Přetečení časovače 1
4	Sériový kanál	5	Časovač 2
7	PCA	8	nevyužit

Tabulka 7 Obsazení bitů priority v registrech IPHO a IPL0

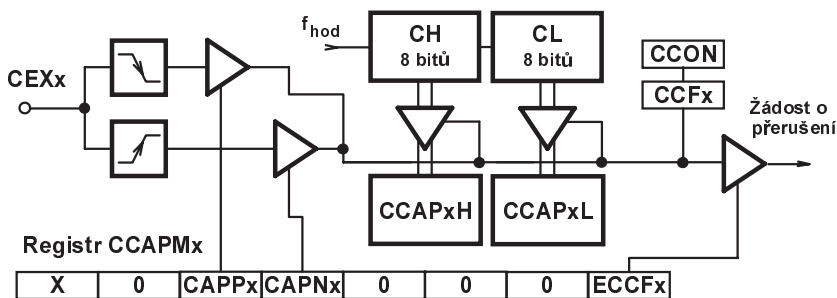
Doba potřebná k přijetí přerušení závisí na typu přerušení, na úrovni a rozpracování instrukce, na bloku paměti, ve které probíhá program. Doba odezvy (tj. doba přechodu od žádosti do obslužného programu se skládá z minimální doby a proměnné doby. Minimální doba je dána dobou potřebnou ke zjištění žádosti o přerušení 4 hodinové cykly (doba vzorkování žádosti), dobou k vyhodnocení žádosti 1 cyklus a dobou potřebnou k vyprázdnění pipeline, uložení návratové adresy a nezbytných hodnot 11 cyklů. Proměnná část se pohybuje od jednoho až do 8 cyklů a proto celková doba potřebná k vyvolání přerušení se bude pohybovat od 17 do 24 hodinových cyklů.

4.3. Periferie 8xC251SB

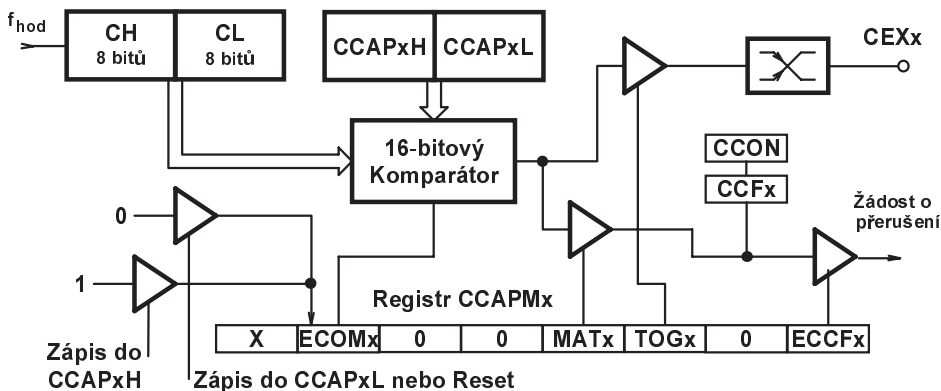
Mikroprocesor 8XC251SB je vybaven čtyřmi vstupně/výstupními branami označenými P0 až P3. Všechny brány jsou obousměrné (P1, P3 pseudoobousměrné) a na rozdíl od procesorů 8051 mají všechny vodiče alternativní funkci. Jediná výrazná odlišnost je ve využití bran P0 a P2 k připojení a adresování vnějších pamětí. V tzv. nestránkovém režimu je situace shodná s procesorem 8051, ve stránkovém režimu slouží brána P0 k přenosu dolní části adresy (bez registru) a brána P2 slouží k multiplexovanému přenosu dat a horní části adresy, která je zapisována do úrovně řízeného registru. Tím je dosaženo situace, kdy při práci s pamětí na stejné stránce (uvnitř 256byťů) nemusí být vysílána hodnota část adresy a instrukce je zrychlena.

Procesor je, jak již bylo řečeno vybaven třemi čítači, časovačem watchdog a PCA. V případě čítačů je situace stejná jako u procesorů řady 8052. Pro zajištění časování, operací s čítačem a generování PŠM (pulzně šířkové modulace) je mikroprocesor 8xC251SB vybaven programovatelným polem podporovaným čítačem. PCA se skládá z 16bitového čítače/časovače a pěti 16bitových komparačních nebo záchytných modulů. Čítač/časovač je společný pro všechny moduly a je dosažitelný v oblasti SFR pod dvojicí registrů CH a CL. Pět párů registrů SFR označených CCAPxH a CCAPxL obsahuje 16bitovou komparační nebo zachycenou hodnotu. Pro konfiguraci činnosti PCA slouží registry CMOD (řídící

registr čítače a časovače) a CCON (řídící registr operací). Každý modul má přiřazen registr CCAPMx (x= =1,2,3,4,5), který určuje mód činnosti modulu. Čítač/časovač tvořeny registry CH a CL má vstupní hodinový signál f_{hod} volitelný ze tří vnitřních a jednoho vnějšího zdroje ($f_{osc}/12$, $f_{osc}/4$, přetečení časovače 0 a vnější signál z vývodu P1.2/ECl), kde f_{osc} je kmitočet oscilátoru procesoru. Jeden ze čtyř zdrojů je vybrán pomocí bitů CPS1 a CPS0 registru CMOD. Každý modul může být v závislosti na svém řídicím registru CCAPMx nastaven do záchytného a komparačního režimu.



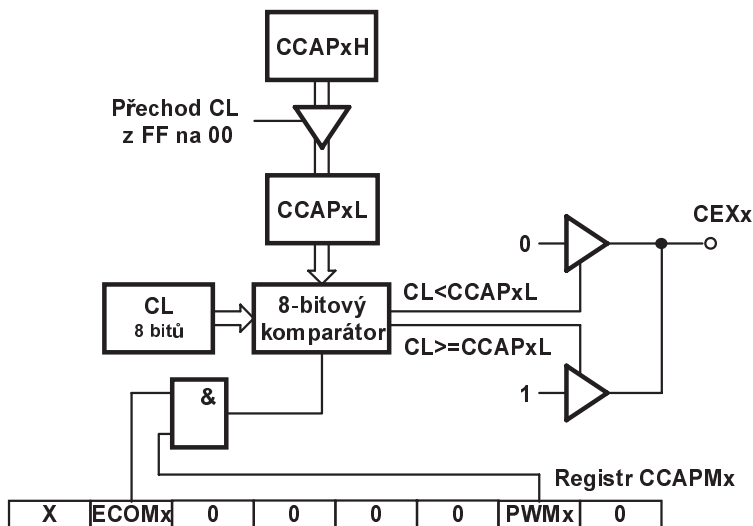
Obr. 49 Záchytný systém PCA



Obr. 50 Komparační systém PCA v módu programový čítač a rychlý výstup

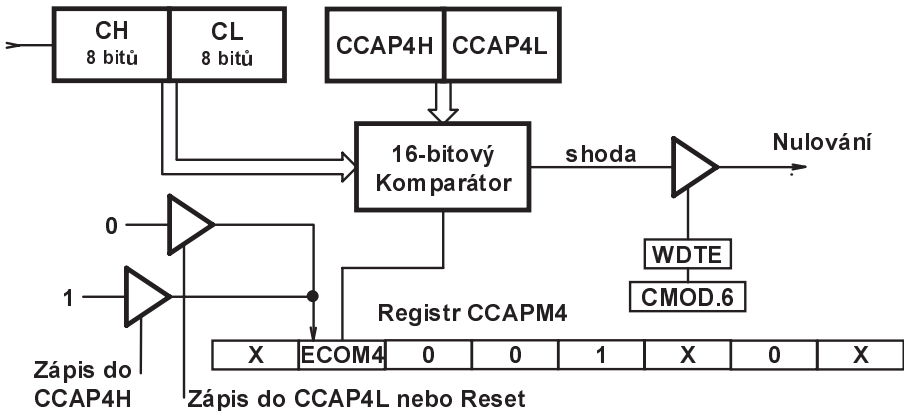
V záchytném režimu obr. 49, který se většinou využívá k měření délky pulzů, se při vzestupné hraně (CAPPx=1, CAPNx= =0), sestupné hraně (CAPPx=0, CAPNx= =1) nebo obou hranách (CAPPx =1, CAPNx=1) zapíše obsah čítače CH,CL do registrů CCAPxH a CCAPxL.

V komparačním režimu *obr. 50* může být každý modul využíván ve funkci: 16bitový programový časovač (výstupem je žádost o přerušení), rychlý výstupní mód (výstup je z vývodu CEXx), nebo pulzně šířkový modulátor *obr. 51*. V případě modulu 4 je povolena ještě činnost ve funkci časovače watchdog *obr. 52*. Dojde-li ke shodě čítače PCA a nastavené hodnoty v registrech modulu 4, potom je generován nulovací impuls o minimální délce nutné k v nulování procesoru (tj. 64 hodinových cyklů).



Obr. 51 PCA - 8bitová pulzně šířková modulace

Sériový kanál a jeho módy zůstávají u procesoru C521 stejné jako na procesoru 8051. Jeho vlastnosti byly vylepšeny pouze drobnými úpravami jako je zavedení bitu (FE) indikujícího chybu rámce přenášeného znaku (přesně chybu stop bitu) v módech 1, 2 a 3. Bit byl sloučen s bitem SM0 v registru SCON (bit.7) s tím, že je-li nastaven bit SMOD0 v registru PCON, potom bit SCON.7 představuje bit FE. Je-li bit SMOD0 vynulován, potom má nejvyšší bit SCON původní funkci (SM0). Chyba rámce (bit FE) musí být nulován programově. Dalším vylepšením je zavedení registrů SADDR a SADEN, které v multiprocessorové komunikaci umožňují automatické vyhledávání adresy přijímaného zařízení. Dojde-li při příjmu k zachycení adresy, teprve potom je nastaven příznak RI. V opačném případě není procesor přerušován příkazy (adresami) určenými pro ostatní zařízení (procesory). Každé zařízení má svoji adresu, která je uložena v registru SADDR. Registr SADEN obsahuje byte, kterým se určují (log. 0) bity adresy, jejichž hodnota není při příjmu adresy zajímavá. Tím je umožněno, aby nadřazený procesor mohl přenášet hodnoty do dvou nebo více podřazených procesorů. Vhod-



Obr. 52 PCA - Časovač watchdog

nou volbou adres a maskovacích bytů, tak lze vytvořit adresy pro komunikaci s jedním, dvěma nebo se všemi podřízenými procesory.

Jako každý moderní procesor umožňuje obvod 8xC251 přechod do módů se sníženou spotřebou. V módu IDLE jsou vývody ALE a PSEN v log. 1 a procesor může být do normální činnosti přiveden přijetím povoleného přerušení od vnitřní periferie, vnějšího zdroje. Nebo vynulováním. V případě power down módu jsou vývody ALE i PSEN v log. 0 (!!! **Pozor** !!!) a procesor může být do normální činnosti přiveden přijetím povoleného vnějšího přerušení nebo vynulováním. Pro testování zařízení lze procesor uvést do emulačního stavu (OECE), kdy je elektricky izolován od testovaného systému. Tím je umožněno připojení emulátoru nebo testovacího procesoru.

4.5. Konfigurace procesoru

Procesor MCS251 obsahuje čtyři configurační byty CONFIG0 až CONFIG3 umístěné v oblasti OTPROM a přístupné na adresách 80H až 83H při podmínkách P0=29H, P1=high(adresa), P2=data, P3=low(adresa), PROG=1, PSEN=0, RST=1a Vpp=5V. Byty CONFIG2 a CONFIG3 jsou rezervované a umístění configuračních bitů v CONFIG0 a CONFIG1 je dáno *tabulkou 8 a 9*.

CONFIG0							Bity
7	6	5	4	3	2	1	0
---	---	XSA	XALE	RD1	RD0	PAGE	SRC

Tabulka 8