

Vážení zákazníci,

dovolujeme si Vás upozornit, že na tuto ukázkou knihy se vztahují autorská práva, tzv. copyright.

To znamená, že ukáзка má sloužit výhradně pro osobní potřebu potenciálního kupujícího (aby čtenář viděl, jakým způsobem je titul zpracován a mohl se také podle tohoto, jako jednoho z parametrů, rozhodnout, zda titul koupí či ne).

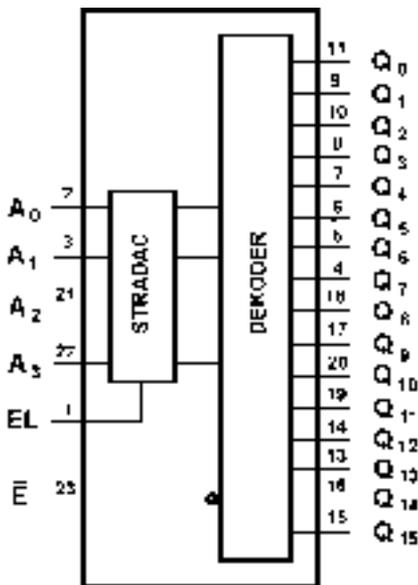
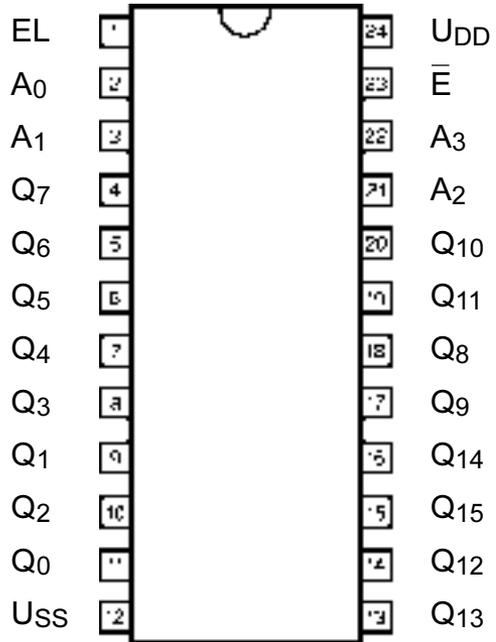
Z toho vyplývá, že není dovoleno tuto ukázkou jakýmkoliv způsobem dále šířit, veřejně či neveřejně např. umístováním na datová média, na jiné internetové stránky (ani prostřednictvím odkazů) apod.

redakce nakladatelství BEN – technická literatura
redakce@ben.cz



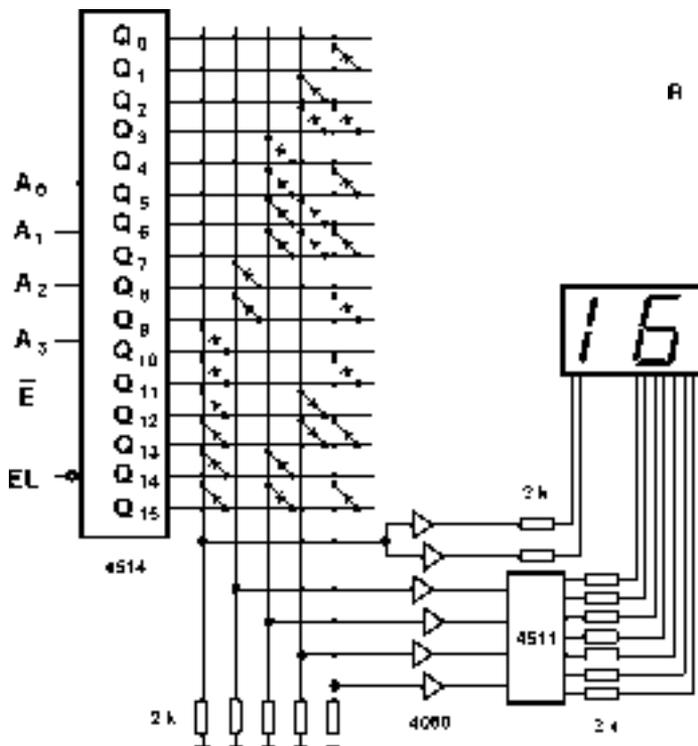
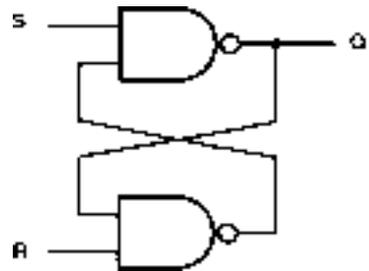
dekodér 1 z 16 / 16kanálový demultiplexer

- A₀ až A₃ adresové vstupy
- \bar{E} uvolnění vstupu
(vstup demultiplexeru)
- EL vstup uvolnění střadače
- Q₀ až Q₁₅ výstupy



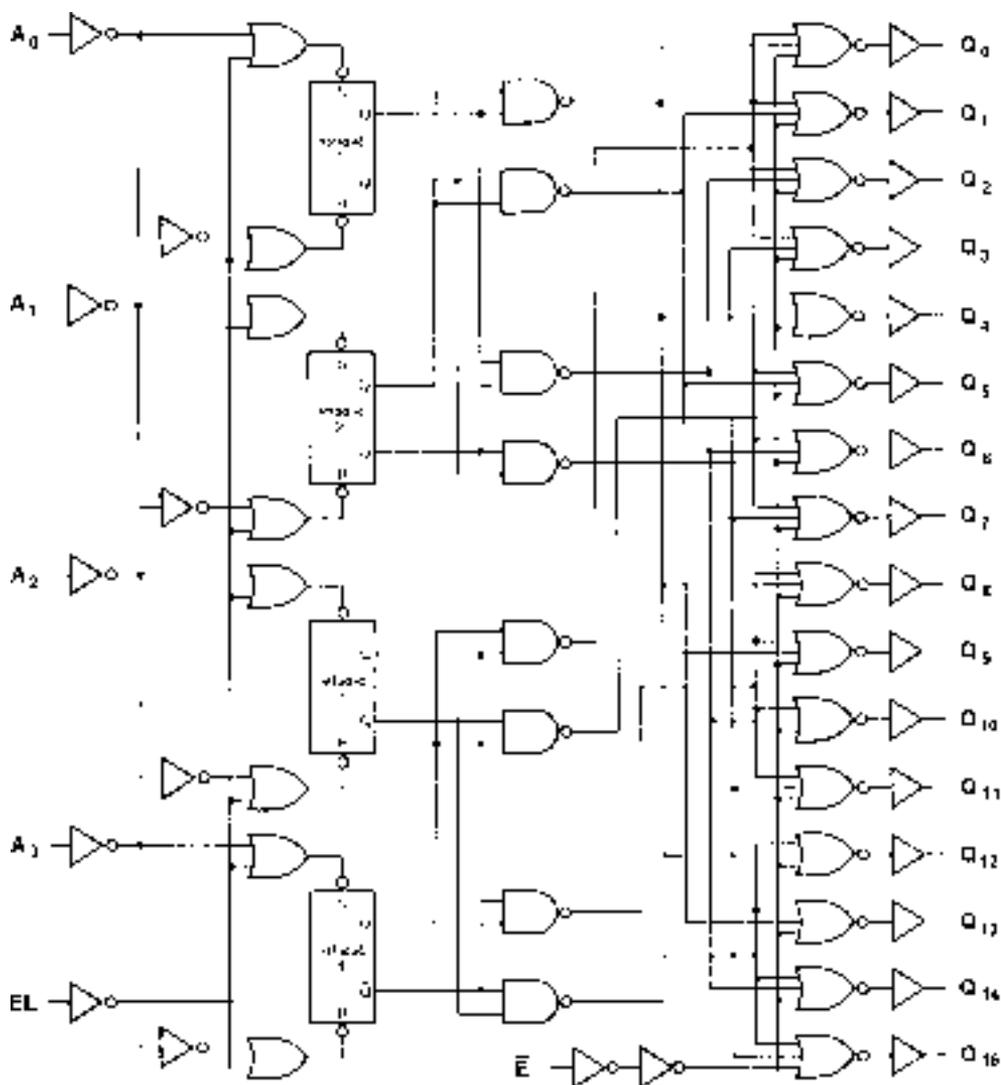
obr. 1 Funkční schéma

obr. 2 Schéma jednoho klopného obvodu střadače



obr. 3 Převodník binárního čísla na BCD se zobrazením

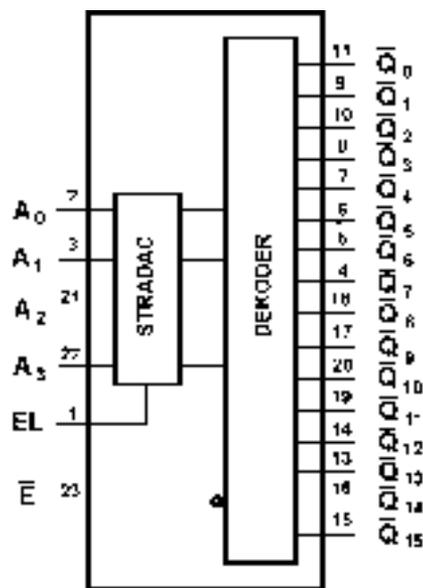
Obvod 4514 je dekodér 1 z 16 nebo také 16kanálový demultiplexer. Dekódováním okamžitého stavu adresových vstupů je zvolen jeden výstup Q, na kterém pak bude úroveň H. Ostatní výstupy jsou v L. Toto platí, pokud $EL=H$. Při přechodu EL do L jsou do střadače uložena poslední data z adresových vstupů. Pokud signál uvolnění vstupu $\bar{E}=L$ je vybraný výstup Q (určený adresovými vstupy, obsahem střadače) na úrovni H. Pro $\bar{E}=H$ jsou všechny výstupy v L, přičemž vstup \bar{E} nemá vliv na obsah střadače. Obvod se může použít i jako demultiplexer, potom \bar{E} je vstup demultiplexeru a je propojen na jeden výstup Q, vybraný adresovými vstupy. Takto vytvořený demultiplexer invertuje vstupní signál.



obr. 2 Logické schéma

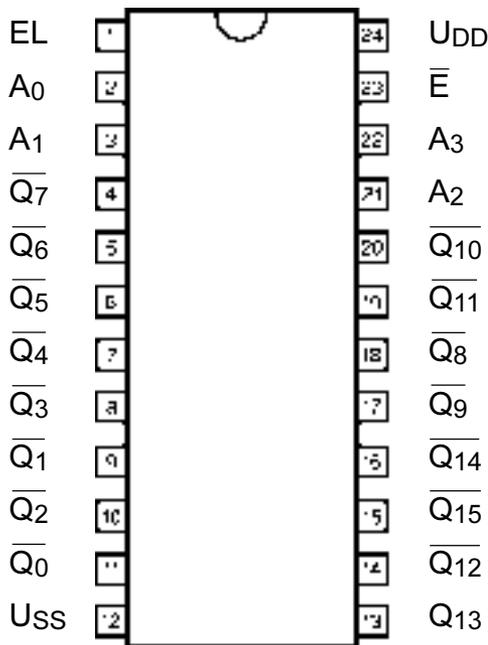
dekodér 1 z 16 / 16kanálový demultiplexer

A_0 až A_3 adresové vstupy
 \bar{E} uvolnění vstupu
 (vstup demultiplexeru)
 \overline{EL} vstup uvolnění střadače
 $\overline{Q_0}$ až $\overline{Q_{15}}$ výstupy



obr. 1 Funkční schéma

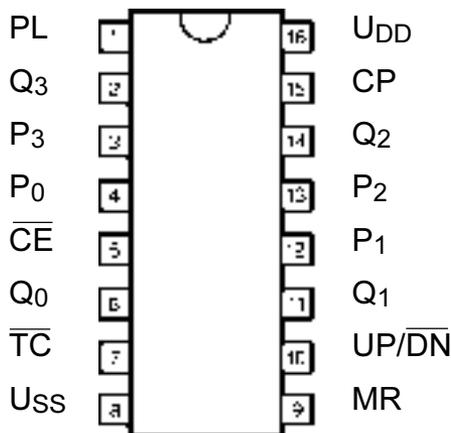
(určený adresovými vstupy, obsahem střadače) na úrovni H. Pro $\bar{E}=H$ jsou všechny výstupy v L, přičemž vstup \bar{E} nemá vliv na obsah střadače. Obvod se může použít i jako demultiplexer, potom \bar{E} je vstup demultiplexeru a je propojen na jeden výstup \bar{Q} , vybraný adresovými vstupy.



Obvod 4515 je dekodér 1 z 16 nebo také 16kanálový demultiplexer. Dekódováním okamžitého stavu adresových vstupů je zvolen jeden výstup \bar{Q} , na kterém pak bude úroveň H. Ostatní výstupy jsou v L. Toto platí, pokud $\overline{EL}=H$. Při přechodu \overline{EL} do L jsou do střadače uložena poslední data z adresových vstupů. Pokud signál uvolnění vstupu $\bar{E}=L$ je vybraný výstup \bar{Q}

4bitový binární vratný čítač

P ₀ až P ₄	paralelní vstup dat
PL	zápis paralelních dat
\overline{CE}	vstup uvolnění čítače
CP	vstup hodinových impulsů
UP/ \overline{DN}	volba směru čítání
MR	nulování
\overline{TC}	výstup přenosu
Q ₀ až Q ₃	výstupy čítače

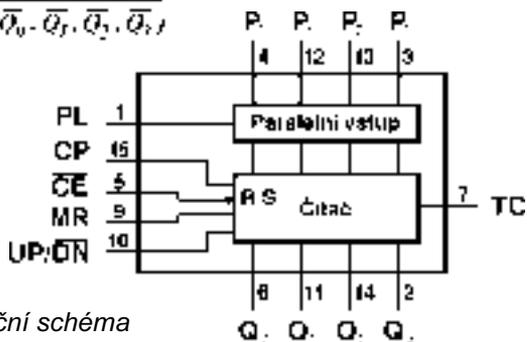


Obvod 4516 je 4bitový binární vratný čítač. Paralelní informace ze vstupu P₀ až P₃ je uložena do střadače úrovní H na vstupu PL, nezávisle na ostatních vstupech mimo MR. To znamená, že vstupy P jsou propojeny na výstupy Q. Mění-li se data na vstupech P₀ až P₃, mění se shodně i stav výstupů Q₀ až Q₃. Pro PL=L se obsah čítače mění náběžnou hranou hodinových impulsů na vstupu CP. To platí, pokud je signál uvolnění čítače \overline{CE} =L. Směr čítání určuje vstup UP/ \overline{DN} . Je-li v H, čítač čítá nahoru a pro L dolů. \overline{TC} slouží pro přenos do dalšího stupně a indikuje přetečení čítače. Při čítání nahoru se na výstupu \overline{TC} objeví úroveň L, dosáhne-li čítač stavu HHHH, při čítání dolů pak při dosažení stavu LLLL.

Toto je možné vyjádřit rovnicí:

$$\overline{TC} = \overline{CE} (UP/\overline{DN} \cdot Q_0 \cdot Q_1 \cdot Q_2 \cdot Q_3 + UP/\overline{DN} \cdot \overline{Q_0} \cdot \overline{Q_1} \cdot \overline{Q_2} \cdot \overline{Q_3})$$

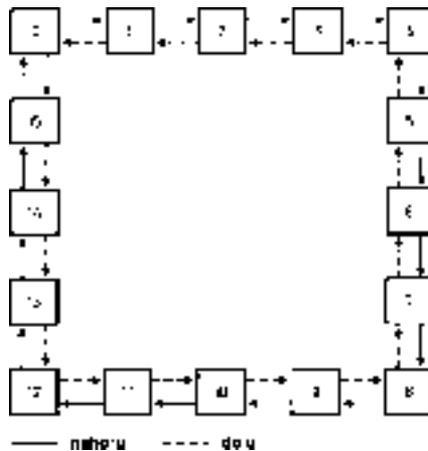
MR=H nuluje čítač nezávisle na všech ostatních vstupech.



obr. 1 Funkční schéma

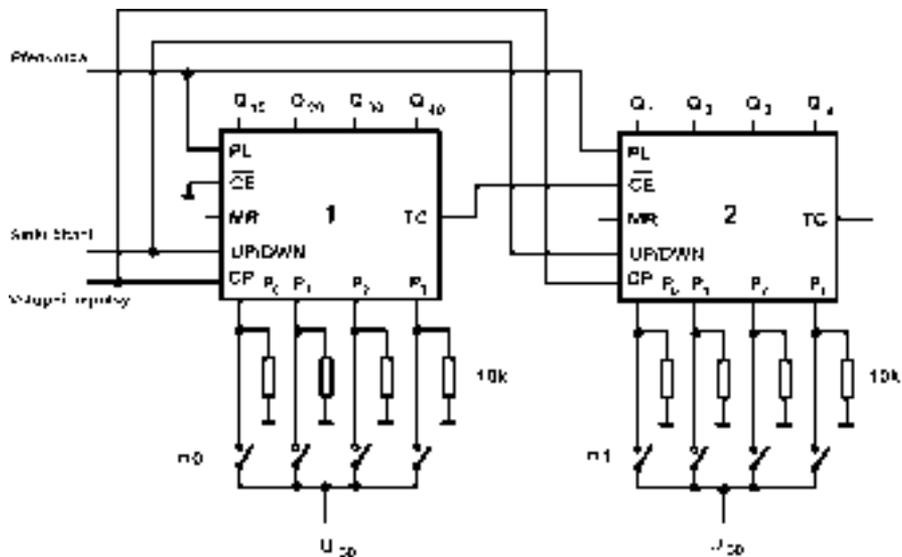
Funkční tabulka

CP	PL	UP/DN	\overline{CE}	MR	mód
X	H	X	X	L	uložení paralelních dat
X	L	X	H	L	beze změny
	L	L	L	L	čítání vzad
	L	H	L	L	čítání vpřed
X	X	X	X	H	nulování

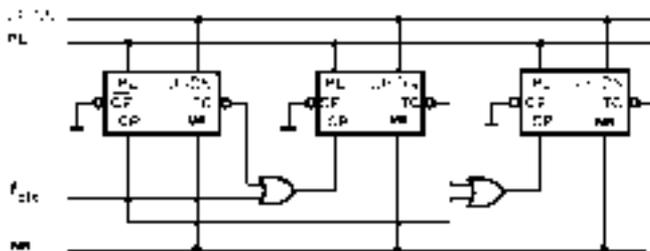


obr. 2 Stavový diagram

obr. 5 Schéma čítače s předvolbou



Obr.6 ukazuje asynchronní kaskádní zapojení. Jediné omezení pro změnu směru čítání je, že vstup hodinových impulsů CP do prvního stupně musí být v H. Pro zapojení s pevně nastaveným směrem čítání je možné vypustit hradla OR a vstup TC se připojí přímo na vstup CP dalšího stupně.



obr. 6 Jiný způsob kaskádního zapojení