

Vážení zákazníci,

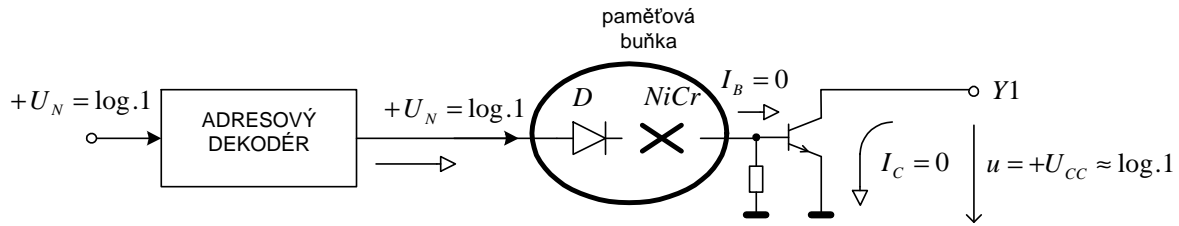
dovolujeme si Vás upozornit, že na tuto ukázkou knihy se vztahují autorská práva, tzv. copyright.

To znamená, že ukáзка má sloužit výhradně pro osobní potřebu potenciálního kupujícího (aby čtenář viděl, jakým způsobem je titul zpracován a mohl se také podle tohoto, jako jednoho z parametrů, rozhodnout, zda titul koupí či ne).

Z toho vyplývá, že není dovoleno tuto ukázkou jakýmkoliv způsobem dále šířit, veřejně či neveřejně např. umístováním na datová média, na jiné internetové stránky (ani prostřednictvím odkazů) apod.

redakce nakladatelství BEN – technická literatura
redakce@ben.cz





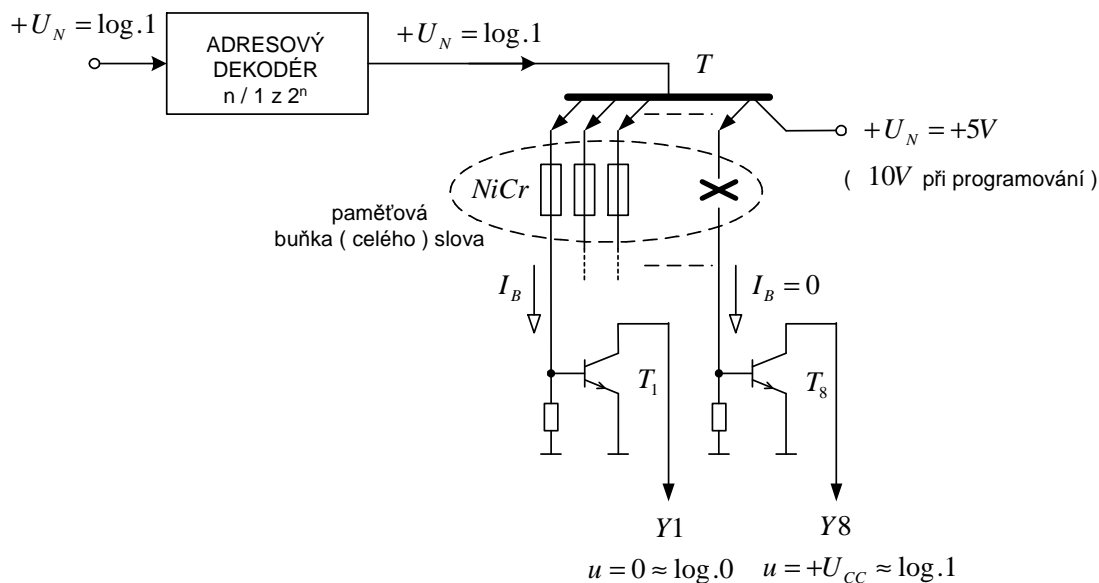
Obr.140 Proudů v naprogramovaném stavu buňky

4.2 Paměti PROM

Jednorázově programovatelné ROM (Programmable ROM , PROM) jsou dodávány s hodnotou log.nuly ve všech paměťových buňkách. Po naadresování si tavnou spojku z NiCr přepálí sám uživatel, čímž takovouto paměť (destruktivně) naprogramuje jednou provždy.

Po přivedení adresy se bit, do něhož má být zapsána log.jednička (čili jehož tavná pojistka z chromniklu se má přepálit) uzemní, pak se napájecí napětí na krátký čas zdvojnásobí (zpravidla z 5 V na 10 V) , což spojku přepálí. Ostatní výstupní vodiče se připojují na napětí + 5 V , což k přepálení nestačí.

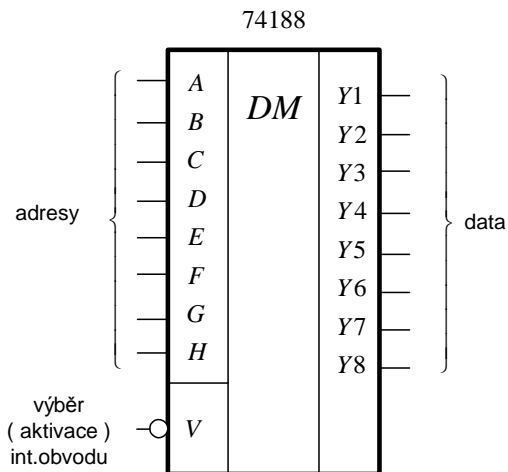
Vlastní paměť jednoho slova se v této technologii realizuje víceemitorovým tranzistorem T (jako u vícevstupového NANDu v technologii TTL), přičemž počet emitorů odpovídá počtu bitů jednoho slova. Každý tranzistor tedy reprezentuje jedno (zapamatované) slovo (resp. 1 bajt), jak ukazuje následující obrázek 141:



Obr.141 Princip PROM

V integrované formě existuje takováto nejjednodušší bipolární elektricky programovatelná paměť pod označením 74188 s organizací 32 slov po 8mi bitech (tj. jednom bajtu) v pouzdře DIL, výstup je s otevřeným kolektorem, schématická značka je na následujícím obrázku 142.

Na vstupy A až H se přivádějí adresy v paralelním kódu, vstupem V se aktivuje daný paměťový obvod, na výstupech Y1 až Y8 jsou pak k dispozici data, zapsaná na adrese určené vstupy A až H.

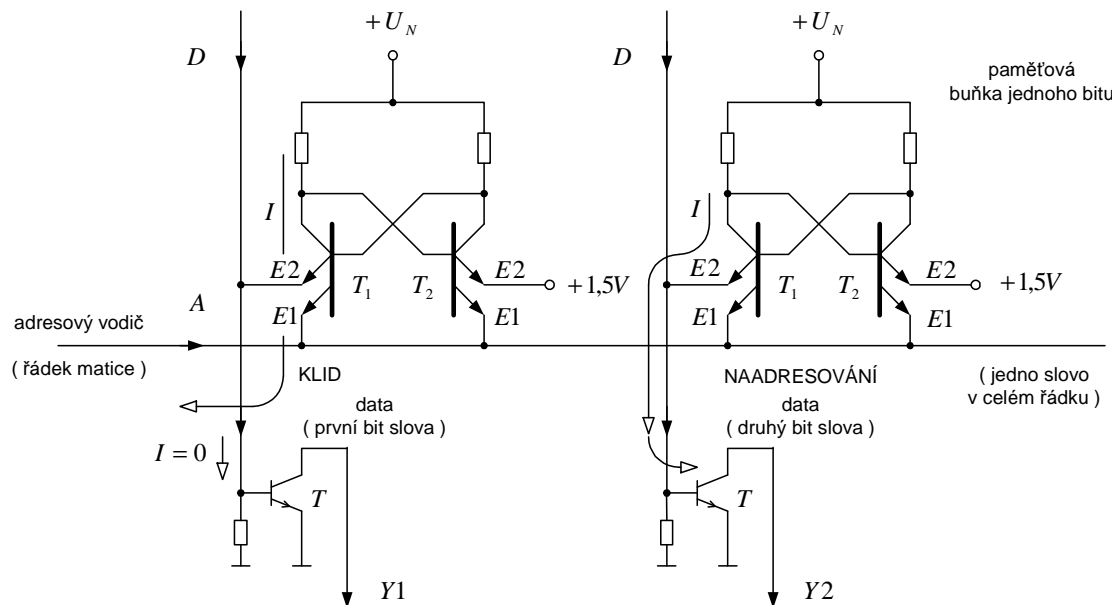


Obr.142 Schématická značka PROM

4.3 Statické paměti RAM (SRAM)

Základní paměťovou buňkou statické paměti pro čtení (Read) i pro zápis (Write) Memory (ve zkratce RWM) nebo též Statické s náhodným (Random) přístupem (Access) do paměti (Memory) , (tj. krátce SRAM) tvoří bistabilní klopný obvod s dvojemitorovými tranzistory, jehož jeden tranzistor T_1 je uzavřen a druhý T_2 otevřen – přitom tento stav se udržuje zpětnou vazbou (RS obvod).

Princip ukazuje následující obrázek 143 :



Obr.143 Princip SRAM

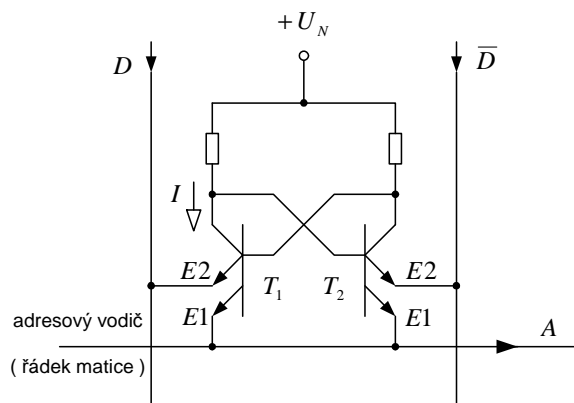
Poměry v obvodu lze zjednodušeně vysvětlit takto :

V klidu je adresový vodič uzemněn (neboť není-li adresován z dekodéru adres, je na něm úroveň log.nuly tedy zem), takže proud z emitorů E1 (jednoho z dvojice tranzistorů T_1 a T_2 paměťové buňky) teče do (tohoto) adresového vodiče A.

Při naadresování pak začne emitorový proud téci editorem E2 do datového vodiče (a otevře tranzistor T výstupního zesilovače s otevřeným kolektorem) , neboť na adresovém vodiči A se objeví napětí (které zabraňuje průchodu proudu z emitorů E1 do tohoto adresového vodiče A).

Při zápisu se pak z napětí $+U_N \approx \log.1$ z adresového vodiče zabrání vytékání proudu emitorem E1 a má-li obvod překloubit, pak napětí $+U_N \approx \log.1$ přivedené na vodič D zabrání proudu vytékat taktéž i emitorem E2 . Proud tedy nemůže vytékat tranzistorem T_1 a uzavře se proto do báze tranzistoru T_2 , který se (tímto) otevře a obvod se překloupí.

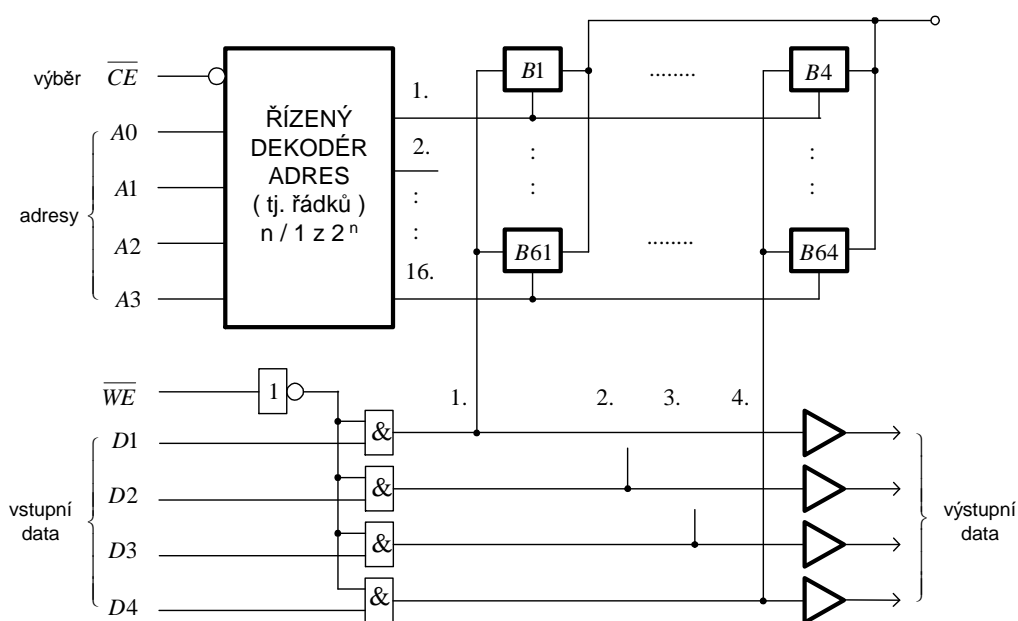
Jiné možné schéma paměťové buňky SRAM s přímým a invertovaným datovým vodičem je na obrázku 144.



Obr.144 Schéma zapojení paměťové buňky se dvěma datovými vodiči

Je-li klopný obvod (z obr. 144) ve stavu, že T_1 je otevřen a T_2 uzavřen, pak proud I tekoucí T_1 při naadresování (tj. je-li na adresovém vodiči napětí $+U_N$) se uzavře do vodiče datového D . Je-li nyní nutno obvod překloubit, pak se na vodič D připojí $+U_N$ a vodič \bar{D} se uzemní, čímž se T_2 otevře, neboť jeho emitorem E_2 začne téci proud, což však T_1 uzavře.

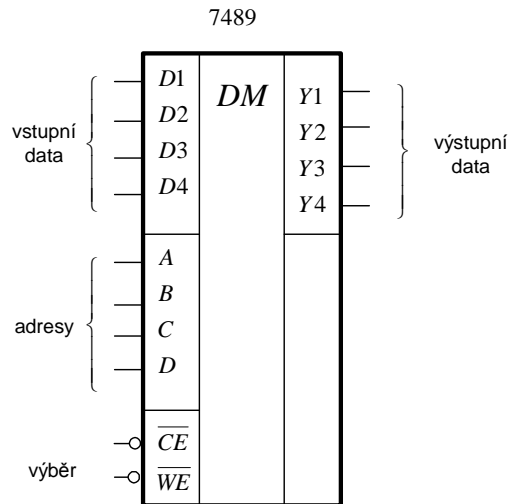
Princip struktury integrovaného obvodu s bipolární RWM (RAM) pamětí je na následujícím obrázku 145 :



Obr.145 Struktura RAM

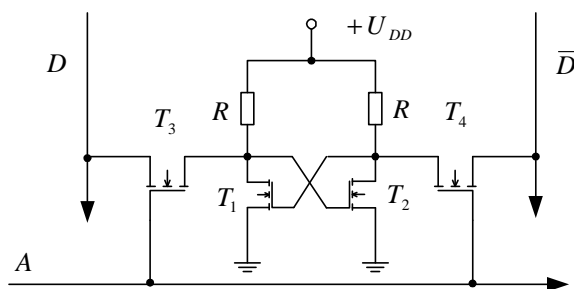
Vstup \overline{WE} (**W**rite **E**nable) otevírá součinová hradla AND a tím umožňuje zápis z datových vstupů D1 až D4 do paměťových buněk. Vstupy A0 až A3 jsou adresy šestnácti čtyřbitových slov.

Nejjednodušší takovýto obvod existuje v integrované formě pod označením 7489 jakožto bipolární paměť RAM 64 bitů s organizací 16 slov po 4 bitech a má schématickou značku, znázorněnou obrázkem 146 :



Obr.146 Schématická značka RAM

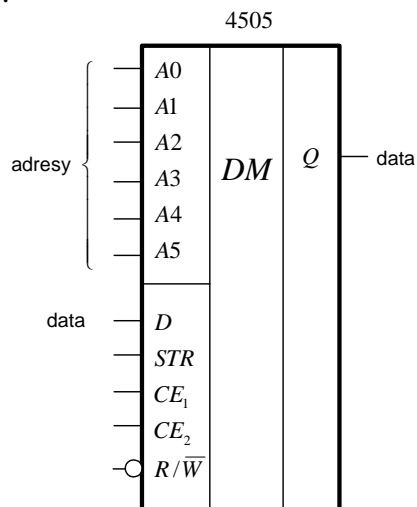
Statické paměti technologie CMOS mají pak bistabilní klopný obvod tvořený T_1 a T_2 osazen unipolárními tranzistory, princip paměťové buňky SRAM ukazuje obrázek 147:



Obr.147 Princip paměťové buňky SRAM se 4 tranzistory MOS

Bistabilní paměťový klopný obvod je zde tvořen tranzistory T_1 a T_2 .

Nejjednodušší paměť SRAM technologie CMOS v integrované formě je obvod 4505 v pouzdru DIL14, což je statická paměť RAM 64 krát 1 bit. Její schématická značka je na následujícím obrázku 148 :

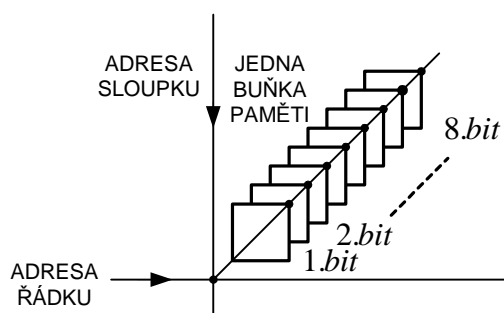


Obr.148 Schématická značka RAM

Zde $A_0...A_5$ jsou adresové vstupy, přístup do paměti je možný jen tehdy, pokud $\overline{STR} = \overline{CE}_1 = \overline{CE}_2 = \log.1$.

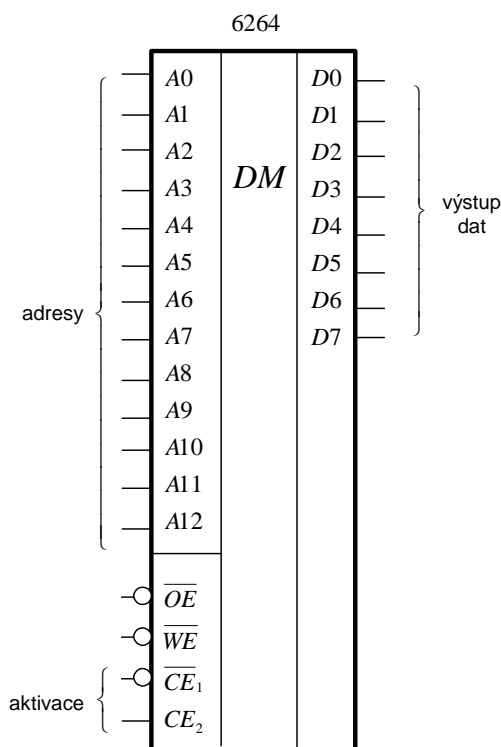
Pak pro $R/\overline{W} = \log.1$ se na výstupu Q objeví logická úroveň uložená v paměťové buňce, určené adresovými vstupy $A_0...A_5$. Při úrovni $R/\overline{W} = \log.0$ lze pak do naadresované paměťové buňky zapsat data ze vstupu D.

Obvod 6264 je pak CMOS statickou pamětí RAM o kapacitě 8 kilobajtů v pouzdře DIL 28. Její paměťová matice má rozměr 256 řádků a 28 sloupků, v jejichž průsečíku se nenachází jediná paměťová buňka, ale 8 paměťových buněk, schopných zapamatování celého osmibitového slova (bajtu). Princip ukazuje následující obrázek 149:



Obr.149 Adresace jednoho bajtu

Schématická značka je na následujícím obrázku 150, kde vývody \overline{CE}_1 \overline{CE}_2 (chip enable) slouží k výběru pouzdra paměti : paměť je aktivní, pokud $\overline{CE}_1 = \log.0$ a $\overline{CE}_2 = \log.1$, jinak jsou vstupy/výstupy $D_0.....D_7$ ve stavu vysoké impedance.



Obr.150. Schématická značka paměti RAM 8kB

Zápis do paměti je řízen vstupem \overline{WE} , je-li na vybraném obvodu $\overline{WE} = \log.0$, pak

data z datové sběrnice $D_0 \dots D_7$ jsou zapsána do bajtu určeného adresou $A_0 \dots A_{12}$.

Zapsaná data lze číst, je-li $\overline{WE} = \text{log.1}$ a současně je odblokován výstup dat ze stavu vysoké impedance signálem $\overline{OE} = \text{log.0}$.

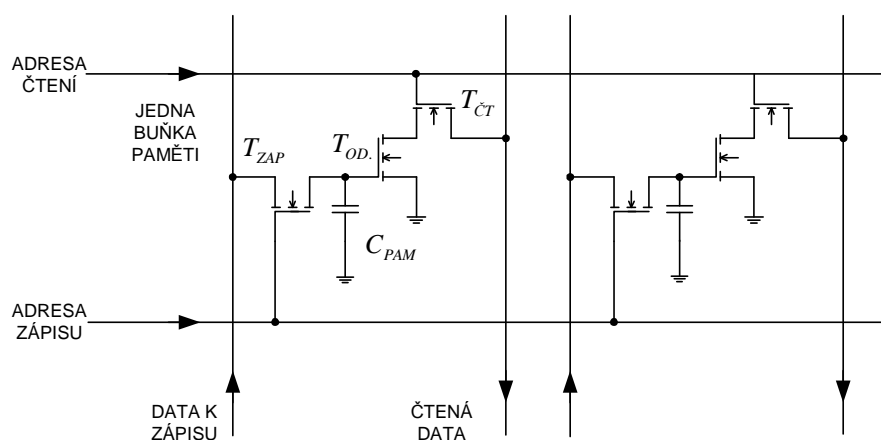
Základní paměti SRAM jsou přehledně uvedeny v následující tabulce 10.

Tab.10 Přehled základních obvodů SRAM

OZNAČENÍ OBVODU	POPIS OBVODU
4036 4039	1krát SRAM 32 (4 krát 8) bitů
4505	1krát SRAM 64 (64 krát 1) bit
4061	1krát SRAM 256 (256 krát 1) bit
40061 4537 4552	1krát SRAM 256 (64 krát 4) bity
2101 2111	1krát SRAM 1k (256 krát 4) bitů, NMOS
2102	1krát SRAM 1k (1k krát 1) bit
2112	
2114	1krát SRAM 4k (1k krát 4) bity, NMOS
2148	1krát SRAM 4k (1k krát 4) bity
2149	
2016 2116	1krát SRAM 16k (2k krát 8) bitů, NMOS
5516 6116	1krát SRAM 16k (2k krát 8) bitů
2064 6164	1krát SRAM 64k (8k krát 8) bitů, NMOS
8464	1krát SRAM 64k (8k krát 8) bitů
68100	1krát SRAM 1M

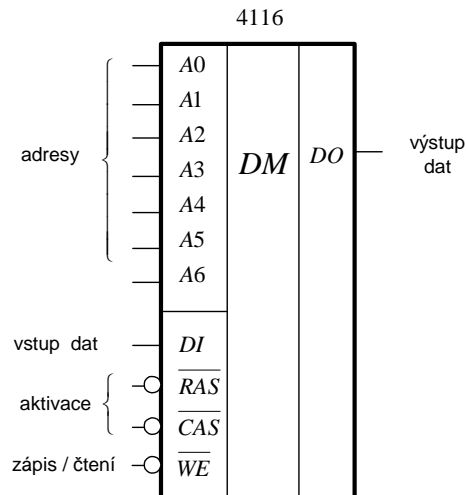
4.4 Dynamické paměti RAM (DRAM)

Základní paměťová buňka je v třítranzistorové verzi v technologii NMOS tvořena paměťovým kapacitorem C_{PAM} připojovaným adresovou sběrnicí při zápisu přes T_{ZAP} a při čtení přes T_{CT} na datové sběrnice. Schéma zapojení ukazuje následující obrázek : 151 .



Obr.151 Paměťová buňka DRAM

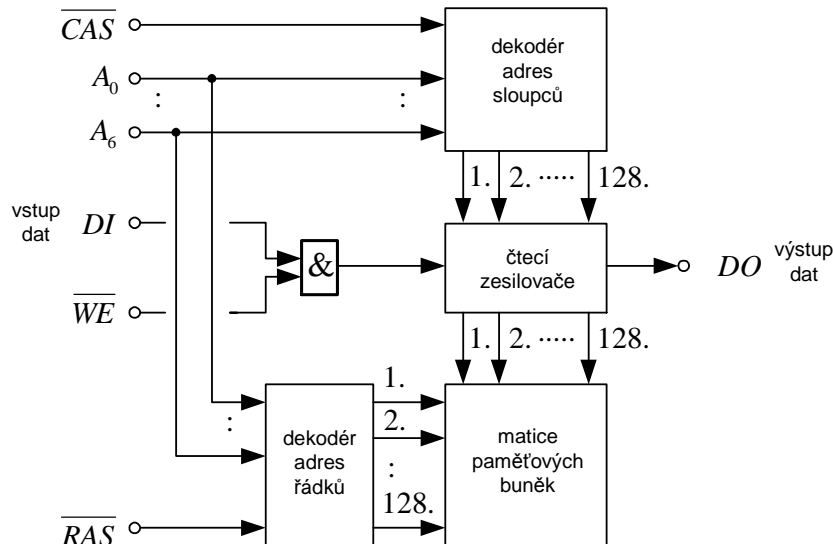
Zde T_{OD} je oddělovací tranzistor, zabraňující svým (téměř) nekonečně velkým vstupním odporem vybíjení paměťového kapacitou C_{PAM} . Přitom paměťový kapacitor C_{PAM} je zpravidla tvořen tzv. parazitní kapacitou hradlo-substrát, kterou vykazuje paměťový tranzistor T_{OD} . Nejjednodušším konkrétním příkladem může být integrovaný obvod 4116 , což je dynamická paměť RAM pro 16 384 bitů, jehož schématická značka je na následujícím obrázku 152:



Obr.152 Obvod DRAM typu 4116

Jeho vlastní paměť je tvořena jednobitovými buňkami rozmístěnými v matici 128 řádků krát 128 sloupců .

Zjednodušené blokové schéma tohoto obvodu ukazuje následující obrázek 153 :



Obr.153 Zjednodušená bloková struktura obvodu 4116

Je-li aktivní vstup \overline{RAS} , pak se adresuje jeden z těchto 128 řádků, je-li aktivní \overline{CAS} pak jeden ze 128 sloupců paměťové matice. V jejich průsečíku leží adresovaná buňka , do které lze data ze vstupu DI zapsat při $\overline{WE} = \text{log}.0$ anebo číst z ní data na výstupu DO při $\overline{WE} = \text{log}.1$. Při vlastním čtení a zápisu je $\overline{RAS} = \overline{CAS} = \text{log}.0$.

Vybíjením C_{PAM} do svodových odporů unipolárních tranzistorů se však zaznamenaná informace (tj. napětí na C_{PAM}) ztrácí. Proto je obsah buněk nutno periodicky obnovovat, a to obvykle po 2 ms.

Při tomto obnovování (Refresh) se všechny buňky jednoho řádku připojí (svými výstupy) na datové čtecí vodiče, přečte se jejich obsah, zesílí se a zavede se zpět (přes datové zapisovací vodiče) do paměťových kapacitorů. Tento cyklus obnovení informace se řídí zvenčí vodiči $\overline{RAS} = \log.0$ a $\overline{CAS} = \log.1$.

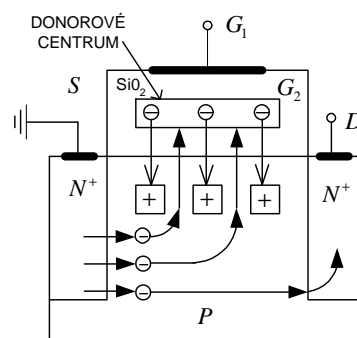
Přehled základních obvodů pamětí DRAM je v tabulce 11.

Tab.11 Přehled základních obvodů DRAM

OZNAČENÍ OBVODU	POPIS OBVODU
3716 4116 4516	1krát DRAM 16k (16k krát 1) bit
2620 4464 41464 48464 3764 4164 4564	1krát DRAM 64k (16k krát 4) bity 1krát DRAM 64k (64k krát 1) bit
41256 41464 50464 81464	1krát DRAM 256k (256k krát 1) bit 1krát DRAM 256k (64k krát 4) bity
411000	1krát DRAM 1M (1M krát 1) bit

4.5 Elektricky programovatelné paměti

Paměťová buňka v tzv. technologii ECMOS je tvořena unipolárním tranzistorem typu IG-FET, jehož jedna elektroda (a to hradlo G_2) není vyvedena (tzv. strukturou FAMOS: Floating gate Avalanche injection MOS), a tvoří tzv. donorové centrum, jak ukazuje následující obrázek 154:

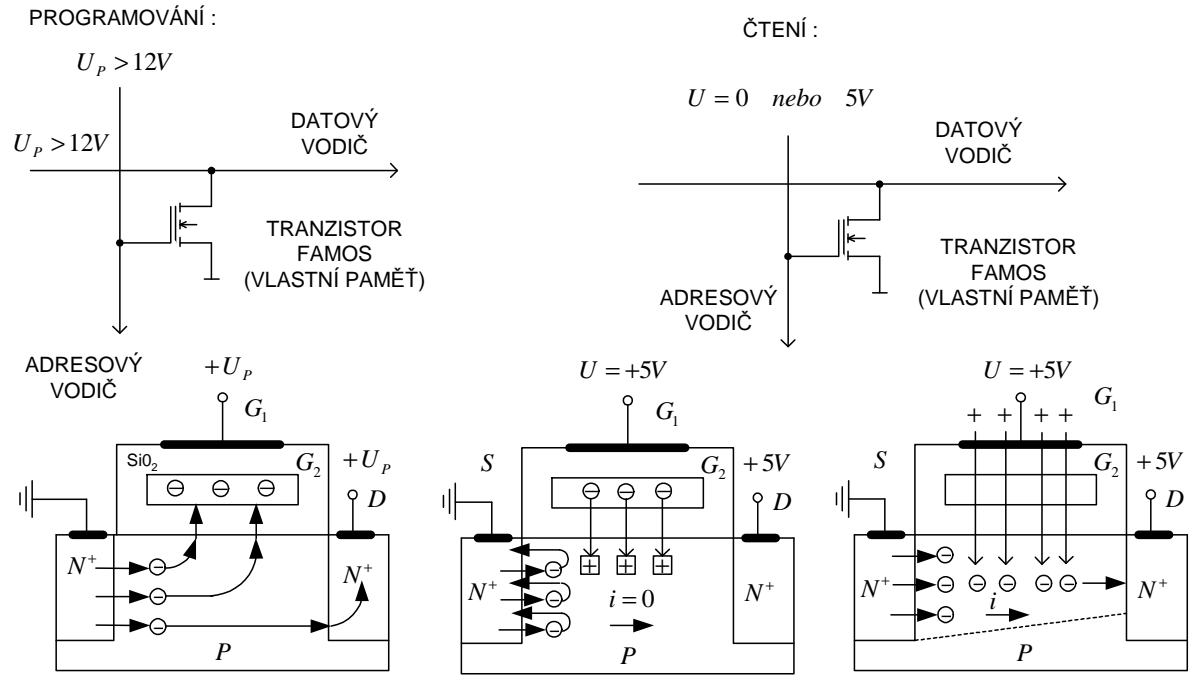


Obr.154 Princip paměti EPROM

V nenaprogramovaném stavu se vliv elektrody G_2 neprojevuje, a kladným napětím přivedeným na G_1 lze tento unipolární tranzistor sepnout, když se tímto napětím naindukuje záporný náboj do polovodiče P, a tím vznikne kanál (tvořený elektrony) mezi S a D..

Při programování se pak část volných elektronů při impulsu napětí $U_p > 12V$, které se přivádí současně na kolektor (Drain) a řídicí elektrodu G_1 , dostane až na řídicí elektrodu G_2 , která tak získá záporný náboj. Tento náboj pak indukuje další kladné náboje v polovodiči P, takže vodivá cesta (vodivý kanál) mezi D a S již při čtení nemůže kladným napětím na G_1 vzniknout. Oproti tomu v nenaprogramovaném stavu kladné napětí na G_1 indukuje kanál elektronů propojující D a S, mezi nimiž nyní může protékat proud.

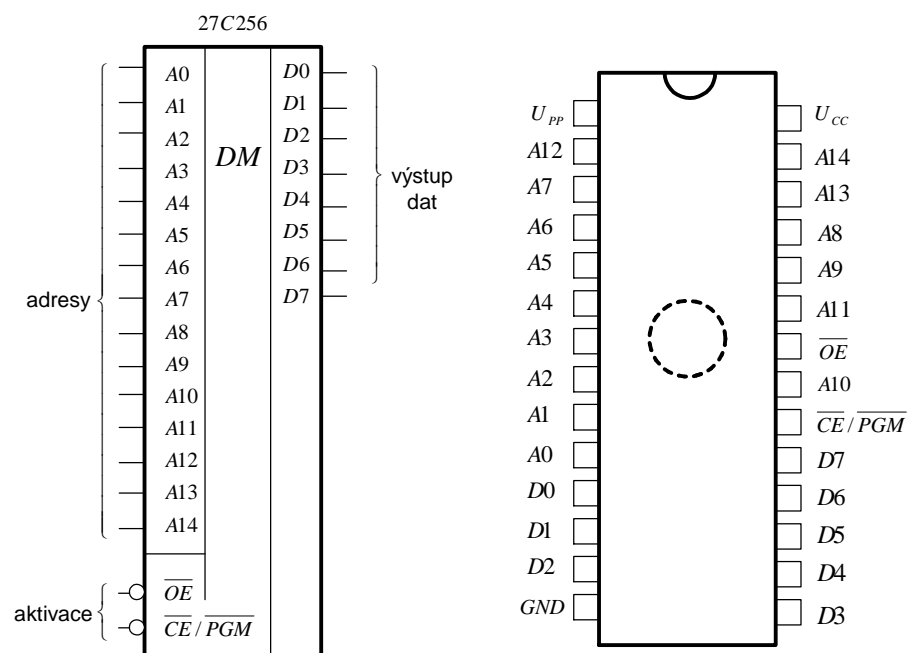
Schématicky poměry při zápisu a čtení znázorňuje obrázek 155 .



Obr.155 Zjednodušená buňka EPROM při programování a čtení naprogramovaného a nenaprogramovaného bitu

Obsah této elektricky programovatelné ROM (EPROM) lze vymazat ultrafialovým světlem cca. po 20 minutách jeho působení, jinak náboj v donorovém centru klesne na 70 % své velikosti po cca. 10 letech.

Jednoduchým příkladem této paměti může být integrovaný obvod v pouzdře DIL 28 pod označením 27C256 , což je paměť 256 s organizací 32k x 8 , na následujícím obrázku 156 je její schématická značka a rozložení vývodů na pouzdru DIL. Vstup \overline{CE} (chip enable) slouží k výběru integrovaného obvodu (jeho aktivaci) , když svojí úrovní $\overline{CE} = \text{log}0$ aktivuje funkci adresovacích a čtecích vodičů. Při $\overline{CE} = \text{LOG.1}$ jsou výstupy ve stavu vysoké



Obr.156 Obvod EPROM typu 27C256

impedance (třetí stav). Vstup \overline{OE} aktivuje výstupy, při $\overline{OE} = \text{log.0}$ lze číst data $D_0.....D_7$, zapsaná na adrese $A_0.....A_{15}$. Programovacím napětím : $U_{PP} = 25 \text{ V}$ se data $D_0.....D_7$ zapíše, napájecí napětí je běžné pro TTL obvody : $U_{CC} = 5 \text{ V}$.

Přehled základních obvodů EPROM je v následující tabulce 12.

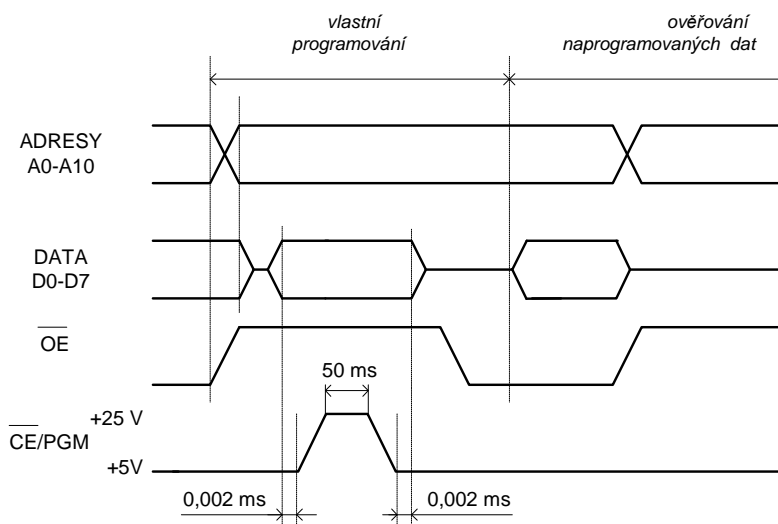
Tab.12 Přehled základních obvodů EPROM

OZNAČENÍ OBVODU	POPIS OBVODU
2708	1krát EPROM 8k (1k krát 8) bitů
2716	1krát EPROM 16k (2k krát 8) bitů
2732	1krát EPROM 32k (4k krát 8) bitů

Tab.12 Přehled základních obvodů EPROM - pokračování

OZNAČENÍ OBVODU	POPIS OBVODU
2764	1krát EPROM 64k (8k krát 8) bitů
27128	1krát EPROM 128k (16k krát 8) bitů
27256	1krát EPROM 256k (32k krát 8) bitů
27512	1krát EPROM 512k (64k krát 8) bitů
27010	1krát EPROM 1M (128k krát 8) bitů
27020	1krát EPROM 2M (256k krát 8) bitů
27040	1krát EPROM 4M (512k krát 8) bitů
27080	1krát EPROM 8M (1M krát 8) bitů

Vlastní způsob programování pak přibližují časové průběhy jednotlivých signálů : adresy : $A_0 - A_{10}$, dat : $D_0 - D_7$ a programovacího napětí : CE/PGM , které jsou uvedeny na obrázku 157 (pro paměť typu 2716, obsahující $2^{10} = 2\text{k}$ bajtů po 8mi bitech) :



Obr.157 Průběhy při programování paměti typu 2716

Nejprve se přivede na vstup U_{PP} napětí : + 25 V a na vstup \overline{OE} logická jednička, čímž se celý integrovaný paměťový obvod uvede do režimu programování.

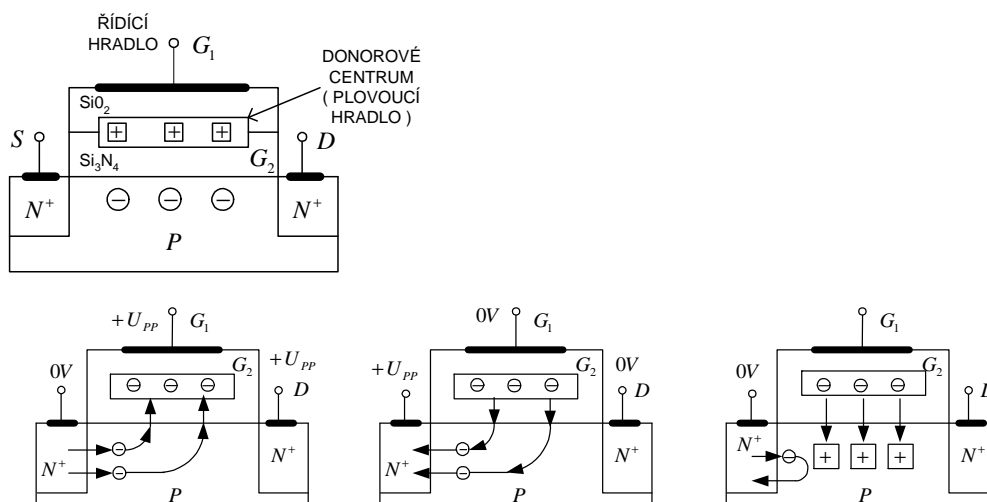
Pak se na adresové vodiče přivede adresa programovaného bajtu, a na datové vodiče slovo, které se má do paměti zapsat.

Po ustálení adres i dat se po uplynutí doby minimálně $2\mu\text{s}$ kladným impulsem délky alespoň: 50 ms o napětí: + 25 V na vstupu \overline{CE}/PGM zapíše bajt na danou adresu. Po ukončení tohoto impulsu musí adresy i data setrvat ještě další $2\mu\text{s}$ na konstantní hodnotě.

Dále může (ale nemusí) následovat ověření (tzv. verifikace) zapsaných dat, kdy po změně úrovně signálu na vstupu \overline{OE} z hodnoty logické jedničky na nulu a neměnné adrese se objeví zapsaná data na výstupu.

4.6 Elektricky programovatelné i elektricky mazatelné paměti

Obsah paměťové buňky elektronicky mazatelné paměti (**Electronically Erasable PROM – EEPROM** nebo **E²PROM**) může být vymazán napětím opačné polarity, kterým se přitáhnou náboje zpět do substrátu. Vlastní buňka tedy pracuje (opět) na principu tunelování (resp. vkládání) náboje do donorového centra v technologii EECMOS. Struktura EEPROM (nebo E²PROM) je naznačena na následujícím obrázku 158 :



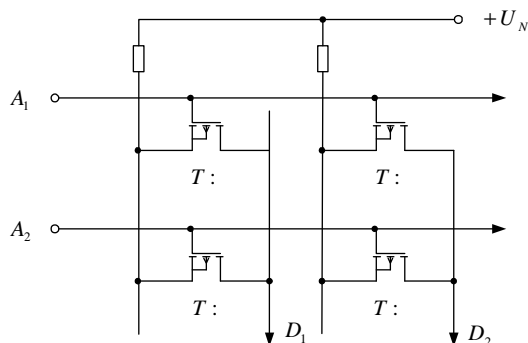
Obr.158 Zjednodušený princip tranzistoru paměťové buňky EEPROM: programování a mazání

Při zápisu (programování) dat se na adresový vodič A a (vyvedená) hradla tranzistoru FAMOS připojí napětí $U_p > 12V$ a na datový vodič D těch paměťových buněk, kam se má zaznamenat log.jednička též $U_p > 12V$. Tím se příslušný paměťový tranzistor T otevře v jeho donorovém centru vznikne náboj, vytvářející prahové napětí podle obr.158a.

Při čtení se na adresový vodič A přivádí impuls napětí a tranzistor s malým prahovým napětím se otevře zatímco tranzistor s velkým prahovým napětím zůstane uzavřen.

Vymazání obsahu paměťové buňky se provádí kladným napětím $U_p > 12V$ na adresovém vodiči při uzemněném hradle $U = 0V$ tranzistoru FAMOS.

Schématicky připojení tranzistorů T tvořících paměťovou buňku EEPROM (též zvanou E²PROM) k adresovým A a datovým D vodičům znázorňuje následující obrázek 159.



Obr.159 Zjednodušené paměťové buňky EEPROM