

# Vážení zákazníci,

dovolujeme si Vás upozornit, že na tuto ukázkou knihy se vztahují autorská práva, tzv. copyright.

To znamená, že ukáзка má sloužit výhradně pro osobní potřebu potenciálního kupujícího (aby čtenář viděl, jakým způsobem je titul zpracován a mohl se také podle tohoto, jako jednoho z parametrů, rozhodnout, zda titul koupí či ne).

Z toho vyplývá, že není dovoleno tuto ukázkou jakýmkoliv způsobem dále šířit, veřejně či neveřejně např. umístováním na datová média, na jiné internetové stránky (ani prostřednictvím odkazů) apod.

*redakce nakladatelství BEN – technická literatura*  
[redakce@ben.cz](mailto:redakce@ben.cz)



## 7 DAC – D/A převodník

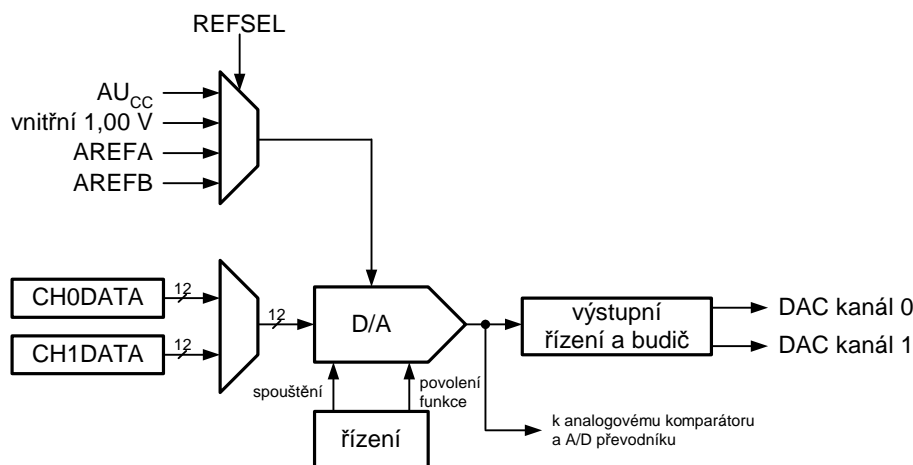
D/A převodník lze chápat jako nadstandardní vybavení mikrokontrolérů řady ATxmega. Zajišťuje podporu pro digitální zpracování signálu.

### Základní vlastnosti:

- 12bitové rozlišení,
- rychlost převodu až 1 MSPS (1 milion vzorků za vteřinu),
- flexibilní rozsah převodu,
- jeden stabilní nebo dva přepínané (Sample/Hold) výstupy,
- zabudovaná kalibrace offsetu a zisku,
- výkonový výstup,
- volba vnitřního nebo vnějšího zdroje referenčního napětí,
- možnost napojení výstupu na vstup analogového komparátoru nebo A/D převodníku,
- režim snížené spotřeby.

Výstupní signál je dán vztahem:  $U_{DACx} = \frac{CHnDATA}{0x0FFF} U_{REF}$ , kde:

- CHnDATA – vstupní číslo kanálu n,
- 0x0FFF – váha pro 12bitů,
- $U_{REF}$  – referenční napětí (lze volit napětí pro napájení analogové části  $AU_{CC}$ , vnitřní referenci 1,00 V nebo vnější referenci přivedenou na vývod AREF portu A nebo B).



Obr. 7.1. Blokové schéma D/A převodníku

### Start převodu

Převod lze spustit zápisem dat do příslušného registru nebo časovat pomocí události.

Pokud není zvolen režim automatického spouštění, je nový převod automaticky odstartován po zápisu nové hodnoty do datového registru D/A převodníku.

Pokud je zvolen režim automatického spouštění, bude nový převod odstartován příchodem události z určeného událostního kanálu v případě, že datový registr obsahuje dosud nepřevedená data.

Zápis do datových registrů můžeme provádět programově nebo DMA řadičem.

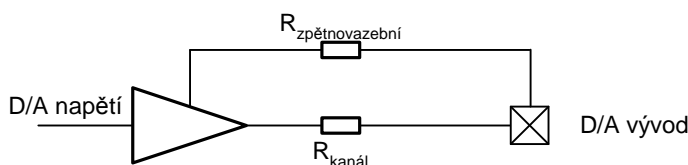
### Výstupní kanály

Výstup může být jeden kontinuální nebo mohou být dva výstupy přepínané.

Přepínané výstupy jsou realizovány pomocí S/H (Sample/Hold). Výstupy jsou pak vzájemně nezávislé a lze tak vytvořit dva odlišné analogové signály. Pro každý výstup jsou pak k dispozici zvláštní datové registry.

### Model výstupu D/A převodníku

Každý výstup D/A převodníku má budič se zpětnou vazbou, která zajišťuje že výstupní napětí na vývodu D/A převodníku je stejné jako vnitřní napětí D/A převodníku (dokud odběr proudu nepřesáhne stanovenou mez).



Obr. 7.2. Model výstupu D/A převodníku

### Hodiny D/A převodníku

D/A převodník je taktován přímo kmitočtem pro řízení periférií ( $\text{clk}_{\text{PER}}$ ). Převodní interval a obnovovací kmitočet pro S/H jsou odvozeny z tohoto hodinového signálu.

### Časovací omezení

Pro časování převodníku platí určitá omezení, jejich dodržením zajistíme, že bude převodník pracovat korektně. Časovací omezení jsou vztažena k  $\text{clk}_{\text{PER}}$ :

- Vzorkovací doba D/A převodníku je časový interval mezi kompletně dokončeným převodem a startem nového převodu, nemůže to být méně než  $1 \mu\text{s}$  pro jednoduchý kanál a méně než  $1,5 \mu\text{s}$  pro dva (S/H) kanály.
- Obnovovací doba D/A převodníku je časový interval potřebný pro aktualizaci kanálů v duálním režimu, nemělo by to být více než  $30 \mu\text{s}$ .

### Režim snížené spotřeby

Režim snížené spotřeby dovoluje snížit spotřebu tvořenou D/A převodníkem jeho vypnutím. Vypnutí zjišťuje bit **DACCRA** z registru **CTRLA**.

Nový převod spouštěný z tohoto režimu bude pak trvat delší interval než v normálním režimu.

### Kalibrace

Přesnost D/A převodu lze zvýšit kalibrací chyb zesílení a offsetu. K dispozici je 7bitová kalibrační hodnota pro nastavení zisku a 7bitová kalibrační hodnota pro nastavení offsetu.

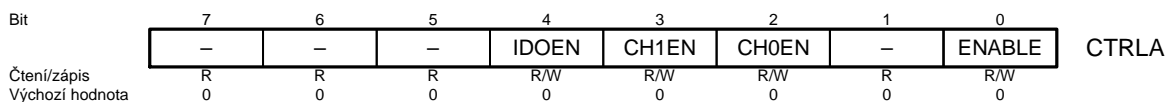
Pro skutečné výstupní napětí platí vztah: 
$$U_{\text{DACx}} = \text{zisk} \frac{\text{CHnDATA}}{0x0FFF} U_{\text{REF}} + \text{offset},$$

v ideálním případě je  $\text{zisk} = 1$  a  $\text{offset} = 0$ .

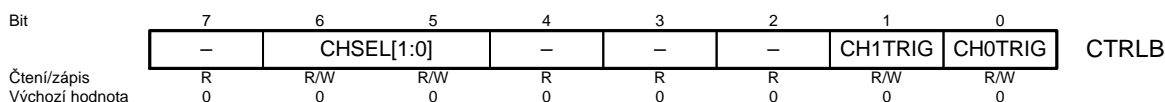
Pro zajištění nejlepších výsledků kalibrační operace je doporučeno použít stejné referenční napětí, výběr kanálu, vzorkovací interval a obnovovací interval, který má být použit pro normální D/A operaci.

## 7.1 Řídicí registry

Níže jsou popsány jednotlivé registry pro řízení D/A převodníku.

**CTRLA – řídicí registr A**Obr. 7.3. Registr **CTRLA**

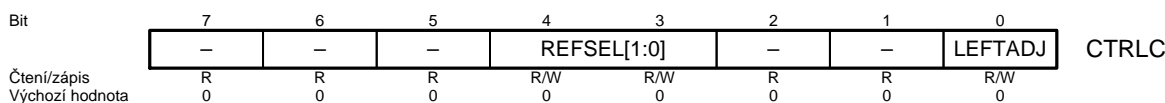
- **IDOEN** (DAC Internal Output Enable) – nastavením (1) propojíme vnitřní výstup D/A převodníku na multiplexery pro analogový komparátor a A/D převodník,
- **CH1EN** (DAC Channel 1 Output Enable) – nastavením (1) zajistíme, že kanál 1 bude dostupný na vývodu. V opačném případě je kanál 1 dostupný pouze pro vnitřní použití,
- **CH0EN** (DAC Channel 0 Output Enable) – nastavením (1) zajistíme, že kanál 0 bude dostupný na vývodu. V opačném případě je kanál 0 dostupný pouze pro vnitřní použití,
- **ENABLE** (DAC Enable) – povolí činnost D/A převodníku.

**CTRLB – řídicí registr B**Obr. 7.4. Registr **CTRLB**

- **CHSEL[1:0]** (DAC Channel Selection) – tyto bity stanovují, jestli D/A převodník pracuje s jedním nebo dvěma výstupy, viz tab. 7.1,
- **CH1TRIG** (DAC Auto trigger mode Channel 1) – automatické spouštění pro kanál 1,
- **CH0TRIG** (DAC Auto trigger mode Channel 0) – automatické spouštění pro kanál 0.

Tab. 7.1 Výběr zdroje události čítače

CHSEL[1:0]	Zdroj události
00	jeden kanál (pouze kanál 0)
01	vyhrazeno
10	duální režim (přepínané kanály 0 a 1)
11	vyhrazeno

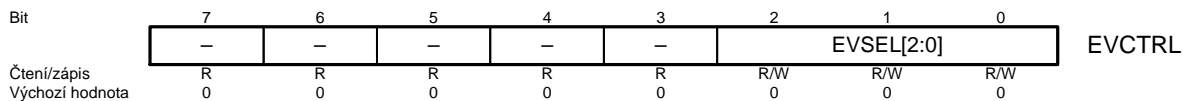
**CTRLC – řídicí registr C**Obr. 7.5. Registr **CTRLC**

- **REFSEL[1:0]** (DAC Reference Selection) – výběr zdroje referenčního napětí dle tab. 7.2,
- **LEFTADJ** (DAC Left-Adjust Value) – je-li tento bit nastaven (1), jsou data v registrech **CH0DATA** a **CH1DATA** zarovnána doleva.

Tab. 7.2 Výběr zdroje referenčního napětí

REFSEL[1:0]	Konfigurace skupiny	Zdroj události
00	INT1V	vnitřní 1,00 V
01	AVCC	AU <sub>CC</sub>
10	AREFA	vnější napětí vývodu portu A
11	AREFB	vnější napětí vývodu portu B

### EVCTRL – řídicí registr pro volbu spouštěcí události



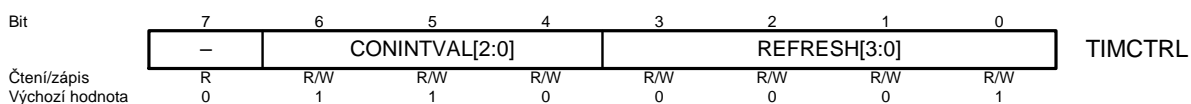
Obr. 7.6. Registr *EVCTRL*

- **EVSEL[2:0]** (DAC Event Channel Input Selection) – tyto bity určují kanál událostního systému, který je použit pro spouštění D/A převodu v režimu automatického spouštění.

Tab. 7.3 Výběr vstupní události pro D/A převodník

EVSEL[2:0]	Konfigurace skupiny	Zdroj události
000	0	událostní kanál 0 je vstupem D/A
001	1	událostní kanál 1 je vstupem D/A
010	2	událostní kanál 2 je vstupem D/A
011	3	událostní kanál 3 je vstupem D/A
100	4	událostní kanál 4 je vstupem D/A
101	5	událostní kanál 5 je vstupem D/A
110	6	událostní kanál 6 je vstupem D/A
111	7	událostní kanál 7 je vstupem D/A

### TIMCTRL – řídicí registr časování



Obr. 7.7. Registr *TIMCTRL*

- **CONINTVAL[2:0]** (DAC Conversion Interval) – tyto bity řídí minimální interval mezi dvěma po sobě jdoucími převody. Interval musí být stanoven relativně vůči  $clk_{PER}$ . Tento interval zajistí, aby nový převod nebyl odstartován dokud není nastaven výsledek předchozího převodu. Interval převodu nemůže být nikdy kratší než 1  $\mu$ s pro jednoduchý kanál a 1,5  $\mu$ s pro duální operaci. Viz tab. 7.4,
- **REFRESH[3:0]** (DAC Channel Refresh Timing Control) – tyto bity určují obnovovací interval (refresh) pro duální režim. Interval musí být stanoven relativně vůči  $clk_{PER}$ . Viz tab. 7.5.

## 7. DAC – D/A PŘEVODNÍK

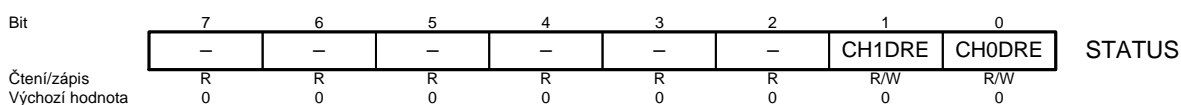
Tab. 7.4 Převodní interval

CONINTCAL[2:0]	Konfigurace skupiny	počet clk <sub>PER</sub> pro jednoduchý výstup	počet clk <sub>PER</sub> pro duální (S/H) výstup
000	1CLK	1 CLK	1 CLK
001	2CLK	2 CLK	3 CLK
010	4CLK	4 CLK	6 CLK
011	8CLK	8 CLK	12 CLK
100	16CLK	16 CLK	24 CLK
101	32CLK	32 CLK	48 CLK
110	64CLK	64 CLK	96 CLK
111	128CLK	128 CLK	192 CLK

Tab. 7.5 Výběr obnovovacího intervalu

REFRESH[3:0]	Konfigurace skupiny	počet clk <sub>PER</sub> pro obnovovací interval
0000	16CLK	16 CLK
0001	32CLK	32 CLK
0010	64CLK	64 CLK
0011	128CLK	128 CLK
0100	256CLK	256 CLK
0101	512CLK	512 CLK
0110	1024CLK	1024 CLK
0111	2048CLK	2048 CLK
1000	4096CLK	4096 CLK
1001	8192CLK	8192 CLK
1010	16384CLK	16384 CLK
1011	32768CLK	32768 CLK
1100	65536CLK	65536 CLK
1101		<i>vyhrazeno</i>
1110		<i>vyhrazeno</i>
1111	OFF	<i>automatické obnovení vypnuto</i>

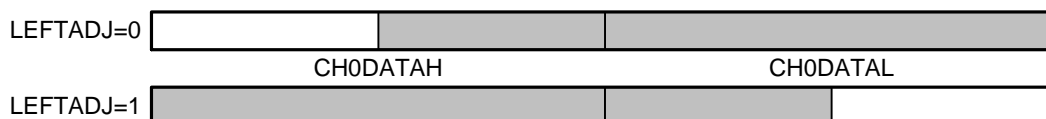
### STATUS – stavový registr



Obr. 7.8. Registr **STATUS**

- **CH1DRE** (DAC Channel 1 Data Register Empty) – nastavení (1) bitu indikuje, že je datový registr kanálu 1 prázdný. To znamená, že může být zapsána hodnota pro nový převod. Nesynchronizovaný zápis může vést k chybě převodu. Tento bit je přímo používán jako DMA požadavek.
- **CH0DRE** (DAC Channel 0 Data Register Empty) – nastavení (1) bitu indikuje, že je datový registr kanálu 0 prázdný. To znamená, že může být zapsána hodnota pro nový převod. Nesynchronizovaný zápis může vést k chybě převodu. Tento bit je přímo používán jako DMA požadavek.

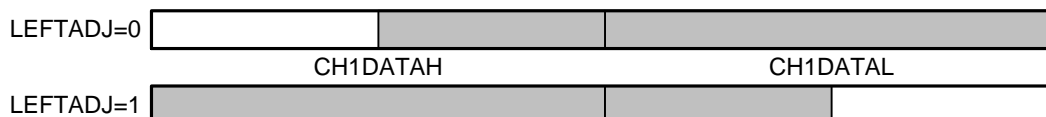
### CH0DATA – datový registr kanálu 0 (CH0DATAH:CH0DATAL)



Obr. 7.9. Registr **CH0DATA**

Registry **CH0DATAH:CH0DATAL** představují pár registrů pro uložení 12bitové hodnoty pro převod kanálem 0. Zarovnání je doprava (LEFTADJ = 0) nebo doleva (LEFTADJ = 1).

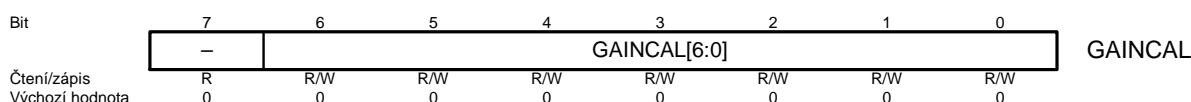
### CH1DATA – datový registr kanálu 1 (CH1DATAH:CH1DATAL)



Obr. 7.10. Registr **CH1DATA**

Registry **CH1DATAH:CH1DATAL** představují pár registrů pro uložení 12bitové hodnoty pro převod kanálem 1. Zarovnání je doprava (LEFTADJ = 0) nebo doleva (LEFTADJ = 1).

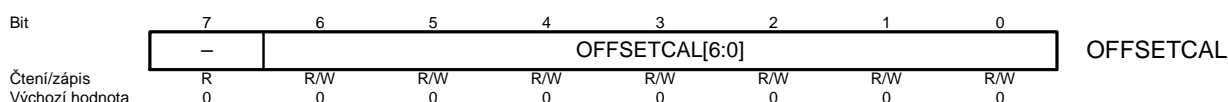
### GAINCAL – kalibrační registr zisku



Obr. 7.11. Registr **GAINCAL**

Registr **GAINCAL** určuje hodnotu pro kalibraci chyby zisku.

### OFFSETCAL – kalibrační registr offsetu



Obr. 7.12. Registr **OFFSETCAL**

Registr **OFFSETCAL** určuje hodnotu pro kalibraci chyby nuly (offsetu – posunutí).

## 7.2 Přiřazení signálů

Mikrokontrolér ATxmega16 obsahuje jeden D/A převodník. Vývody převodníku jsou připojeny na port B takto:

- **PB0** – vstup vnějšího referenčního napětí **AREF**,
- **PB2** – výstup D/A převodníku **DAC0** (kanál 0),
- **PB3** – výstup D/A převodníku **DAC1** (kanál 1).

## 7.3 PROG\_05 – Sinusový generátor

**Zadání:** Generujte programově sinusový signál pomocí zabudovaného D/A převodníku na kanálu DAC0 (PB2).

Nejdříve vytvoříme vzorky signálu. D/A převodník je 12 bitový, takže vzorky jsou v rozsahu 0 až 4095. Pro univerzálnost byla definována funkce **gensin**, která vypočítá vzorky a uloží je do pole. Prvním parametrem je pole typu **unsigned** (16 bitové číslo bez znaménka) a druhým parametrem je počet vzorků.

V hlavním programu pak probíhá konfigurace D/A převodníku. Převodník zapneme a navolíme režim s jedním kanálem (DAC0), pro jednoduchost použijeme vnitřní referenční zdroj 1,00 V.

Aby měl generovaný signál definovaný kmitočet, použijeme vhodně vysoký interval převodu. Pokusně byl zvolen interval 32CLK, který je dostatečně dlouhý, aby se neprojevovalo zpoždění dané řídicím cyklem.

Nakonec je spuštěn cyklus, který vždy nejdříve počká na uplynutí převodního intervalu a následně zapíše do datového registru kanálu 0 nový vzorek.

### PROG\_05.C:

```
#define __AVR_ATxmega16A4__ 1
#define F_CPU 2000000UL

#include <avr/io.h>
#include <math.h>

void gensin(unsigned *p, unsigned n) ← generování vzorků signálu
{
    unsigned char i;

    for(i=0; i<n; i++)
        p[i]=2047*sin(2*M_PI/n*i)+2048;
}

int main()
{
    unsigned signal[64]; ← vzorky
    unsigned i=0; ← počítadlo

    DACB.CTRLA=DAC_CH0EN_bm | DAC_ENABLE_bm; ← povolení kanálu 0
    DACB.CTRLB=0; ← jeden kanál
    DACB.CTRLC=0; ← vnitřní referenční zdroj 1,00 V
    DACB.TIMCTRL=DAC_CONINTVAL_32CLK_gc | DAC_REFRESH_OFF_gc;
    gensin(signal, 64); ← nageeneruje vzorky
    ← převodní interval 32 clkPER

    while(1)
        for(i=0; i<64; i++) ← generování průběhu
        {
            ← testuje uplynutí převodního intervalu
            while(!(DACB.STATUS&DAC_CH0DRE_bm));
            DACB.CH0DATA=signal[i]; ← odešle nový vzorek na kanál 0
        }
}
```

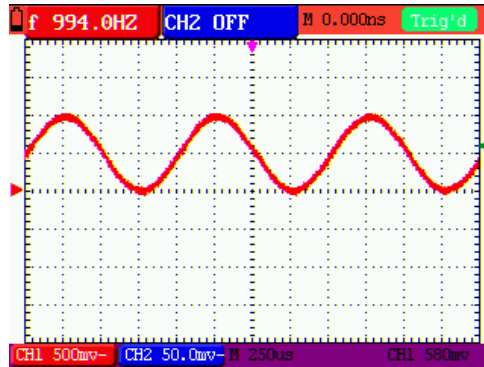
Kmitočet generovaného signálu (pokud je převodní interval delší, než zpoždění dané vykonáním řídicího cyklu) je pak dán jako:  $f = \frac{f_{PER}}{32 \cdot 64} \doteq 977 \text{ Hz}$ .

Výsledný průběh je doložen formou obr. 7.13. Vyšší hodnota naměřeného kmitočtu je patrně způsobena skutečností, že vnitřní hodinový signál se odchyluje od nominální hodnoty 2 MHz.



Níže uvedené symboly nalezneme v souboru **IOX16A4.H**:

- **DAC\_CH0EN\_bm** – bitová maska pro povolení kanálu 0 na vývod PB2,
- **DAC\_ENABLE\_bm** – bitová maska pro zapnutí D/A převodníku,
- **DAC\_CONINTVAL\_32CLK\_gc** – skupinová konfigurace pro převodní interval 32CLK,
- **DAC\_REFRESH\_OFF\_gc** – skupinová konfigurace pro vypnutí refresh funkce (pro jediný kanál není tato funkce třeba).



Obr. 7.13. Výsledný průběh sejmутý digitálním osciloskopem