

Domácí úkol

Pro zájemce o hlubší pochopení prezentované problematiky jsme připravili několik jednoduchých cvičení. Odpovědi na položené otázky jsou spolu se zdrojovými kódy příkladu, kompilačními a simulačními skripty pro ModelSim a VHDL kódem simulačního prostředí s automatickou kontrolou odezev uvedeny v souboru `reseni_cviceni.pdf` v tomto balíčku.

Cvičení 1, analýza chování bezchybného obvodu. Spustte verifikační simulaci (VS). Prohlédněte si časové průběhy hodnot signálů a všimněte si jak je modelována třístavová sběrnice a funkce řídicího automatu. Spustte kompletní implementaci v ISE WebPack (KI), jako cílový obvod zvolte xc2s15-5cs144. Jak velký je výsledný obvod? Jaká je maximální dosažitelná hodinová frekvence a kudy prochází kritická cesta v obvodu? Jak jsou kódovány stavy řídicího automatu ve skutečném obvodu?

Cvičení 2, chybné vložení hladinového klopného obvodu. Ve zdrojovém kódu ve výpisu 1 zakomentujte řádky 39 a 40 – větev *ELSE* příkazu *IF*. Spustte VS. Odhalila VS změnu chování? Spustte KI a prostudujte výstup z nástroje pro syntézu. Najděte varování, které upozorňuje na chybu v kódu.

Cvičení 3, chybný citlivostní seznam. Ponechte na řádku 26 ve výpisu 1 v CS pouze signál *op_res*, ostatní vymažte. Spustte VS i KI. Odhalila VS změnu v chování návrhu? Prohlédněte si také výstup z nástroje pro syntézu. Upozorňuje syntezátor na potenciální rozdíl v chování mezi návrhem na úrovni RTL a skutečným obvodem?