

Bohumil BRTNÍK

ČÍSLICOVÉ SYSTÉMY

Praha 2011



Tato monografie byla vypracována a publikována s podporou Rozvojového projektu VŠPJ na rok 2011.

Bohumil Brtník

Číslicové systémy

lektoroval David Matoušek

Bez předchozího písemného svolení nakladatelství nesmí být kterákoli část kopírována nebo rozmnožována jakoukoli formou (tisk, fotokopie, mikrofilm nebo jiný postup), zadána do informačního systému nebo přenášena v jiné formě či jinými prostředky.

Autoři a nakladatelství nepřijímají záruku za správnost tištěných materiálů. Předkládané informace jsou zveřejněny bez ohledu na případné patenty třetích osob. Nároky na odškodnění na základě změn, chyb nebo vynechání jsou zásadně vyloučeny.

Všechny registrované nebo jiné obchodní známky použité v této knize jsou majetkem jejich vlastníků. Uvedením nejsou zpochybněna z toho vyplývající vlastnická práva.

Veškerá práva vyhrazena

© Bohumil Brtník, 2011

© Nakladatelství BEN – technická literatura, Věšínova 5, Praha 10

Bohumil Brtník: Elektrická měření pro bakaláře

BEN – technická literatura, Praha 2011

1. vydání

ISBN 978-80-7300-407-1 (tištěná kniha)

ISBN 978-80-7300-434-7 (elektronická kniha v PDF)

Obsah:

1 Logické funkce	- 5 -
1.1 Základní axiomy Booleovy algebry	- 6 -
1.2 Univerzální funkce	- 9 -
1.2.1 Negovaný logický součet (NOR, Piercova funkce)	- 9 -
1.2.2 Negovaný logický součin (NAND, Shefferova funkce)	- 9 -
1.3 Vyjadřování logických funkcí	- 10 -
1.3.1 Pravdivostní (funkční) tabulkou	- 10 -
1.3.2 Stavovým indexem	- 10 -
1.3.3 Logickými výrazy	- 10 -
1.3.4 Vennovým diagramem	- 10 -
1.3.5 Jednotkovou krychlí	- 11 -
1.3.6 Karnaughovou mapou	- 11 -
1.3.7 Svobodovou mapou	- 12 -
1.3.8 Veithovou mapou	- 12 -
1.3.9 Impulsy	- 13 -
1.4 Zjednodušování logických výrazů	- 13 -
1.4.1 Užitím axiomů Booleovy algebry	- 13 -
1.4.2 Karnaughovou mapou	- 15 -
1.4.3 Minimalizace metodou Quine-McCluskey	- 17 -
1.5 Bezpečnostní kódy	- 20 -
1.6 Paritní zabezpečení	- 22 -
1.7 Zabezpečení cyklickým redundantním kódem	- 22 -
2. Obvody pro realizaci logických funkcí	- 25 -
2.1 Diodovětranzistorová logika (DTL)	- 25 -
2.2 Rezistorovětranzistorová logika (RTL)	- 27 -
2.3 Tranzistorovětranzistorová logika (TTL)	- 28 -
2.3.1 Vyráběné řady	- 33 -
2.4 Unipolární logické obvody	- 35 -
2.4.1 Unipolární obvody HMOS	- 35 -
2.4.2 Unipolární obvody s komplementárními tranzistory CMOS	- 36 -
2.4.3 Vyráběné řady	- 40 -
2.5 Porovnání parametrů obvodů TTL a CMOS	- 40 -
2.6 Stupně integrace	- 42 -
2.7 Jednoduché kombinační obvody	- 43 -
2.8 Slučitelnost různých technologií logických obvodů	- 43 -
3. Sekvenční obvody	- 45 -
3.1 Klopňý obvod R-S	- 46 -
3.2 Klopňý obvod R-S-T	- 47 -
3.3 Klopňý obvod D	- 47 -
3.4 Dvojitý klopňý obvod R-S-T	- 49 -
3.5 Dvojitý klopňý obvod J-K	- 50 -
3.6 Klopňý obvod D řízený změnou stavu (hranou)	- 52 -
3.7 Posuvný registr	- 54 -
3.8 Tabulky přechodů a rovnice sekvenčních obvodů	- 59 -
3.8.1 Rovnice RS obvodu	- 59 -
3.8.2 Rovnice JK obvodu	- 60 -
3.9 Čítače	- 61 -
3.9.1 Asynchronní čítač	- 61 -
3.9.2 Synchronní čítač	- 68 -
3.9.3 Obousměrné (neboli vratné) čítače	- 71 -
3.10 Obecná struktura sekvenčního zařízení	- 77 -
3.11 Syntéza sekvenčních obvodů pomocí tabulek přechodů	- 78 -

3.12 Hazardy	- 82 -
3.12.1 Analýza hazardů	- 83 -
4. Paměti	- 85 -
4.1 Paměti ROM	- 85 -
4.2 Paměti PROM	- 87 -
4.3 Statické paměti RAM (SRAM)	- 88 -
4.4 Dynamické paměti RAM (DRAM)	- 92 -
4.5 Elektricky programovatelné paměti	- 94 -
4.6 Elektricky programovatelné i elektricky mazatelné paměti	- 97 -
4.7 Sériové paměti	- 99 -
5. Programovatelné logické obvody	- 101 -
5.1 Obvody GAL	- 107 -
5.2 Programování obvodů GAL	- 111 -
5.3 Programovací prostředí	- 114 -
5.3.1 Programování v textovém editoru OPAL Jr.	- 114 -
5.3.2 Programování ve schématickém editoru ispLEVER Classic	- 120 -
5.3.3 Vlastní programování obvodů GAL	- 125 -
5.4 Příklad tvorby programu	- 131 -
5.5 Další obvody GAL	- 134 -
5.6 Obvody typu CPLD	- 135 -
5.7 Obvody FPGA	- 137 -
6. Další technologie číslicových obvodů	- 140 -
6.1 Technologie ECL	- 140 -
6.2 Technologie IIL (I ² L)	- 143 -
6.3 Technologie CTL	- 144 -
7. Obecná teorie syntézy číslicových obvodů	- 146 -
7.1 Formální popis kombinačního obvodu	- 146 -
7.2 Formální popis sekvenčního obvodu	- 146 -
7.3 Popis automatů	- 147 -
7.3.1 Tabulka přechodů	- 147 -
7.3.2 Graf přechodů	- 149 -
7.3.3 Matice přechodů	- 151 -
8. Základy jazyka VHDL	- 152 -
8.1 Knihovni balík std_logic_1164	- 153 -
8.2 Knihovni balík numeric_std	- 153 -
8.3 Entity	- 153 -
8.4 Sekvenční příkazy	- 154 -
9. Přizpůsobování úrovní	- 158 -
9.1 Vstupní přizpůsobovací obvody	- 158 -
9.2 Přizpůsobení úrovní sběrnice RS-232 na TTL technologii	- 159 -
9.3 Přizpůsobení úrovní na výstupu	- 160 -
9.4 Ošetření zákmitů	- 161 -
Dodatky	- 163 -
Přehled číselných soustav	- 163 -
Reprezentace celých čísel ve dvojkové soustavě	- 163 -
Reprezentace reálných čísel ve dvojkové soustavě	- 164 -
Princip převodů mezi číselnými soustavami	- 165 -
Porovnání čísel vyjádřených v různých číselných soustavách	- 167 -
Literatura	- 169 -