

*Jakub Šťastný*

# FPGA prakticky

*Realizace číslicových systémů  
pro programovatelná hradlová pole*

Praha 2010



Tato publikace je věnována praktickým aspektům návrhu číslicových systémů. Spíše, než popisu jazyka VHDL používaného běžně pro návrh a teorii implementace logické funkce, se zabývá skutečnou obvodovou realizací, správným použitím návrhového software, upozorňuje na možné pasti a potenciální problémy, se kterými se při návrhu obvodů potýkají začátečníci i pokročilejší návrháři a dále rozebírá v české literatuře jen velmi okrajově diskutovaná témata, jejichž znalost je však klíčová pro správný návrh číslicového systému. K jednotlivým konceptům a informacím jsou k dispozici ukázkové příklady návrhu obvodů a cvičení umožňující snažší pochopení.

**Příklady najdete na adrese <http://shop.ben.cz/cz/121316>**

Většina prezentovaných informací a postupů je aplikovatelná i při návrhu zákaznických integrovaných obvodů.

---

Jakub Šťastný

## **FPGA prakticky** Realizace číslicových systémů pro programovatelná hradlová pole

Bez předchozího písemného svolení nakladatelství nesmí být kterákoli část kopírována nebo rozmnožována jakoukoli formou (tisk, fotokopie, mikrofilm nebo jiný postup), zadána do informačního systému nebo přenášena v jiné formě či jinými prostředky.

Autor a nakladatelství nepřijímají záruku za správnost tištěných materiálů. Předkládané informace jsou zveřejněny bez ohledu na případné patenty třetích osob. Nároky na odškodnění na základě změn, chyb nebo vynechání jsou zásadně vyloučeny.

Všechny registrované nebo jiné obchodní známky použité v této knize jsou majetkem jejich vlastníků. Uvedením nejsou zpochybněna z toho vyplývající vlastnická práva.

Veškerá práva vyhrazena

© Jakub Šťastný, 2010

© Nakladatelství BEN – technická literatura, Věšínova 5, Praha 10

Jakub Šťastný, FPGA prakticky – realizace číslicových systémů pro programovatelná hradlová pole

BEN – technická literatura, Praha 2010

1. vydání

**ISBN 978-80-7300-261-9 (tištěná kniha)**

**ISBN 978-80-7300-332-6 (elektronická kniha v PDF)**

*Julince*

# Obsah

|          |  |           |
|----------|--|-----------|
| <b>1</b> | <b>ÚVOD .....</b>                          | <b>9</b>  |
| 1.1      | Co byste měli znát .....                   | 12        |
| 1.2      | Použité značky a značení .....             | 12        |
| 1.3      | Poděkování .....                           | 13        |
| <b>2</b> | <b>NÁVRH ČÍSLICOVÉHO OBVODU .....</b>      | <b>15</b> |
| 2.1      | Specifikace funkce .....                   | 17        |
| 2.2      | Zachycení návrhu .....                     | 19        |
| 2.3      | Verifikace na RTL úrovni .....             | 22        |
| 2.4      | Implementace .....                         | 24        |
| 2.5      | Verifikace na hradlové úrovni .....        | 26        |
| 2.6      | Statická časová analýza .....              | 28        |
| 2.7      | Konfigurace FPGA .....                     | 29        |
| 2.8      | Shrnutí .....                              | 29        |
| 2.9      | Cvičení .....                              | 29        |
| <b>3</b> | <b>PROGRAMOVATELNÁ HRADLOVÁ POLE .....</b> | <b>33</b> |
| 3.1      | Co je FPGA? .....                          | 35        |
| 3.2      | Historie .....                             | 35        |
| 3.3      | Různé úrovně programovatelnosti .....      | 36        |
| 3.4      | Dostupné technologie .....                 | 37        |
| 3.5      | Proč FPGA .....                            | 38        |
| 3.6      | Anatomie programovatelného obvodu .....    | 41        |
| 3.7      | Konfigurační prvky .....                   | 43        |
| 3.7.1    | FPGA s volatílní konfigurací .....         | 43        |
| 3.7.2    | FPGA s nevolatílní konfigurací .....       | 43        |
| 3.8      | Jak vybírat .....                          | 44        |
| 3.9      | Cvičení .....                              | 46        |

|          |                                       |           |
|----------|---------------------------------------|-----------|
| <b>4</b> | <b>JAZYK VHDL .....</b>               | <b>47</b> |
| 4.1      | Specifikace obvodu .....              | 49        |
| 4.2      | Návrh na úrovni RTL .....             | 51        |
| 4.2.1    | Datová cesta .....                    | 51        |
| 4.3      | Řadič .....                           | 52        |
| 4.4      | Logické úrovně .....                  | 54        |
| 4.5      | Popis rozhraní bloku .....            | 54        |
| 4.6      | Strukturní popis .....                | 55        |
| 4.7      | Kombinační logické funkce .....       | 56        |
| 4.7.1    | Základní logické funkce .....         | 56        |
| 4.7.2    | Multiplexer .....                     | 56        |
| 4.7.3    | Aritmetické operace .....             | 57        |
| 4.7.4    | Obecná kombinační funkce .....        | 57        |
| 4.8      | Sekvenční logické funkce .....        | 58        |
| 4.8.1    | Paměťový prvek .....                  | 58        |
| 4.8.2    | Stavový automat .....                 | 58        |
| 4.9      | Shrnutí .....                         | 58        |
| 4.10     | Cvičení .....                         | 59        |
| <b>5</b> | <b>SYSTÉMOVÝ NÁVRH .....</b>          | <b>67</b> |
| 5.1      | Synchronní návrh .....                | 69        |
| 5.2      | RTL modelování .....                  | 70        |
| 5.3      | Dekompozice návrhu .....              | 73        |
| 5.4      | Hodinové signály .....                | 74        |
| 5.5      | I/O Piny .....                        | 75        |
| 5.6      | Optimalizace obvodu na rychlost ..... | 76        |
| 5.7      | Technické parametry návrhu .....      | 79        |
| 5.8      | Cvičení .....                         | 79        |

|          |   |            |
|----------|---|------------|
| <b>6</b> | <b>ARITMETICKÉ OPERÁTORY .....</b>        | <b>81</b>  |
| 6.1      | Zobrazení čísel .....                     | 83         |
| 6.2      | Inverze znaménka .....                    | 84         |
| 6.3      | Knihovny pro aritmetické operace .....    | 85         |
| 6.4      | Sčítání a odečítání .....                 | 86         |
| 6.5      | Násobení .....                            | 88         |
| 6.6      | Relační operátory .....                   | 91         |
| 6.7      | Konverze mezi typy .....                  | 91         |
| 6.8      | Dělení .....                              | 92         |
| 6.9      | Druhá odmocnina .....                     | 95         |
| 6.10     | Logaritmus a exponenciální funkce .....   | 99         |
| 6.11     | Goniometrické funkce .....                | 104        |
| 6.12     | Shrnutí .....                             | 107        |
| 6.13     | Cvičení .....                             | 108        |
| <b>7</b> | <b>OBECNÉ DATOVÉ CESTY .....</b>          | <b>109</b> |
| 7.1      | Ukázkové příklady .....                   | 111        |
| 7.1.1    | Násobení pomocí sčítání .....             | 111        |
| 7.1.2    | Výpočet druhé odmocniny .....             | 116        |
| 7.2      | Průměr řady hodnot .....                  | 120        |
| 7.3      | Jednoduchá aritmetická jednotka .....     | 121        |
| 7.4      | Shrnutí postupu .....                     | 123        |
| 7.5      | Cvičení .....                             | 123        |
| <b>8</b> | <b>ČÍSLICOVÉ ZPRACOVÁNÍ SIGNÁLŮ .....</b> | <b>125</b> |
| 8.1      | Konvoluce .....                           | 127        |
| 8.2      | Hardwarové realizace DSP výpočtů .....    | 128        |
| 8.2.1    | Paměťová architektura .....               | 128        |
| 8.2.2    | Násobení a sčítání .....                  | 128        |
| 8.3      | Kvantizace a saturace .....               | 131        |

|           |  |            |
|-----------|--|------------|
| 8.4       | Možnosti paralelizace .....                      | 133        |
| 8.5       | Processorová řešení .....                        | 134        |
| 8.6       | Systolické pole .....                            | 135        |
| 8.7       | Cvičení .....                                    | 136        |
| <b>9</b>  | <b>STAVOVÉ AUTOMATY .....</b>                    | <b>137</b> |
| 9.1       | Základní techniky implementace .....             | 139        |
| 9.2       | Vlastnosti automatů .....                        | 140        |
| 9.2.1     | Moorův a Mealyho automat .....                   | 140        |
| 9.2.2     | Kódování stavu automatu .....                    | 142        |
| 9.3       | Shrnutí .....                                    | 145        |
| 9.4       | Cvičení .....                                    | 145        |
| <b>10</b> | <b>PAMĚTI .....</b>                              | <b>149</b> |
| 10.1      | Synchronní paměti .....                          | 153        |
| 10.2      | Asynchronní paměti .....                         | 153        |
| 10.3      | Paměti ROM .....                                 | 154        |
| 10.4      | Přenositelnost .....                             | 154        |
| 10.5      | Cvičení .....                                    | 154        |
| <b>11</b> | <b>HODINY, RESET A ASYNCHRONNÍ SIGNÁLY .....</b> | <b>159</b> |
| 11.1      | Asynchronní a synchronní signály .....           | 161        |
| 11.2      | Hodinové domény .....                            | 161        |
| 11.3      | Metastabilita .....                              | 162        |
| 11.4      | Inicializace obvodu .....                        | 163        |
| 11.5      | Hodinový signál .....                            | 164        |
| 11.6      | Asynchronní signály .....                        | 165        |
| 11.6.1    | Jednobitové signály .....                        | 165        |
| 11.6.2    | Vícebitové signály .....                         | 167        |
| 11.7      | Shrnutí .....                                    | 171        |

|           |  |            |
|-----------|--|------------|
| <b>12</b> | <b>POZNÁMKY NA ZÁVĚR .....</b>                         | <b>173</b> |
| 12.1      | Verifikace .....                                       | 175        |
| 12.1.1    | Význam verifikace .....                                | 175        |
| 12.1.2    | Verifikační plán a plánování .....                     | 175        |
| 12.1.3    | Verifikační prostředí .....                            | 176        |
| 12.1.4    | Parametry návrhového procesu .....                     | 177        |
| 12.2      | Návrh ASIC obvodů .....                                | 178        |
| 12.3      | Další návrhové nástroje .....                          | 179        |
| 12.3.1    | Simulátory .....                                       | 179        |
| 12.3.2    | Syntéza .....  | 180        |
| 12.3.3    | Další nástroje .....                                   | 181        |
| <b>13</b> | <b>POUŽITÁ LITERATURA .....</b>                        | <b>184</b> |
| <b>14</b> | <b>POUŽITÉ ZKRATKY .....</b>                           | <b>189</b> |
| <b>15</b> | <b>REJSTŘÍK .....</b>                                  | <b>192</b> |
|           | <i>Kontakty na prodejny technické literatury .....</i> | <i>199</i> |
|           | <i>Pár slov o nakladatelství .....</i>                 | <i>200</i> |