

Obsah

1	Základní popis	17
2	Uspořádání paměti	27
3	PORTY	45
4	Paměť EEPROM a FLASH	58
5	Časové moduly	65
6	Funkční moduly CAPTURE/COMPARE/PWM (moduly CCP1/CCP2)	80
7	Modul synchronního sériového portu (MSSP)	90
8	Modul Univerzální synchronní/asynchronní přijímač/vysílač (USART)	133
9	Funkční modul A/D převodníku	151
10	Komparátory	162
11	Modul referenčního napětí pro komparátory	169
12	Speciální vlastnosti CPU	171
13	Popis instrukcí	193
14	Elektrické parametry mikrokontrolérů PIC16F873/874/876/877	212
15	AC a DC parametry v grafech	239
P1	Příloha – Instrukce	
P2	Příloha – Registry	

Podrobný obsah

CHARAKTERISTIKA A POROVNÁNÍ ŘADY PIC16F87X A PIC16F87XA	11
TYPY POUZDER A PŘÍŘAZENÍ VÝVODŮ PIC16F87X	14
TYPY POUZDER A PŘÍŘAZENÍ VÝVODŮ PIC16F87XA	15
1 Základní popis	17
1.1 TYPOVÁ SLUČITELNOST	19
1.2 VÝVOJOVÉ PROSTŘEDKY	19
1.3 INSTRUKČNÍ CYKLUS	25
1.4 PROVÁDĚNÍ INSTRUKCÍ	25
2 Uspořádání paměti	27
2.1 ORGANIZACE PROGRAMOVÉ PAMĚTI	27
2.2 USPOŘÁDÁNÍ PAMĚTI DAT	27
2.3 REGISTRY	28
2.3.1 Speciální systémové registry	28
2.3.1.1 STATUS REGISTR	34
2.3.1.2 REGISTR OPTION_REG	35
2.3.1.3 REGISTR INTCON	36
2.3.1.4 REGISTR PIE1	38
2.3.1.5 REGISTR PIR1	39
2.3.1.6 REGISTR PIE2	40
2.3.1.7 REGISTR PIR2	41
2.3.1.8 REGSITR PCON	43
2.4 REGISTRY PCL A PCLATH	43
2.4.1 STACK – zásobník adres	43
2.4.2 Stránkování programové paměti	43
3 PORTY	45
3.1 REGISTR TRISA A PORT A	45
3.2 REGISTR TRISB A PORT B	47
3.3 REGISTR TRISC A PORT C	50
3.4 REGISTR TRISD A PORT D	52

3.5	REGISTR TRISE A PORT E	52
3.6	PARALELNÍ MIKROPROCESOROVÝ ŘÍZENÝ PORT – PSP (PORTY D A E)	54
4	Paměť EEPROM a FLASH	58
4.1	REGISTR EEADR	58
4.2	SYSTÉMOVÉ REGISTRY EECON1 A EECON2	58
4.3	ČTENÍ DAT Z PAMĚTI EEPROM	59
4.4	ZÁPIS DAT DO PAMĚTI EEPROM	61
4.5	ČTENÍ Z PROGRAMOVÉ PAMĚTI FLASH	61
4.6	ZÁPIS DO PROGRAMOVÉ PAMĚTI FLASH	63
4.7	KONTROLA PROVEDENÉHO ZÁPISU (VERIFIKACE)	63
4.8	OCHRANA PROTI NEŽÁDOUCÍMU ZÁPISU	63
4.8.1	Datová paměť EEPROM	63
4.8.2	Programová paměť FLASH	63
4.9	FUNKCE BĚHEM OCHRANY PROGRAMOVÉHO KÓDU	63
4.9.1	Datová paměť EEPROM	63
4.9.2	Programová paměť FLASH	63
5	Časové moduly	65
5.1	FUNKČNÍ MODUL TIMER0 (ČASOVAČ 0)	65
5.1.1	Funkce modulu TIMER0	65
5.1.2	Předdělič a „dělič po“	66
5.1.2.1	PŘEPÍNÁNÍ PŘIŘAZENÍ „PŘEDDĚLIČE“	66
5.1.3	Přerušení od modulu TIMER0	67
5.1.4	Použití modulu časovače TIMER0 s vnějším hodinovým signálem (na vývodu RA4/T0CKI)	67
5.2	FUNKČNÍ MODUL TIMER1 (ČASOVAČ 1)	71
5.2.1	Funkce modulu TIMER1	71
5.2.2	Oscilátor funkčního modulu TIMER1	73
5.2.3	Přerušení od modulu časovače TIMER1	73
5.2.4	Funkce modulu TIMER1 v režimu časovač	74
5.2.5	Funkce modulu TIMER1 v režimu čítač	74
5.2.5.1	SYNCHRONNÍ ČÍTAČ	74
5.2.5.2	ASYNCHRONNÍ ČÍTAČ	74

5.2.5.3	ČASOVÁNÍ S NESYNCHRONIZOVANÝM VNĚJŠÍM HODINOVÝM SIGNÁLEM	74
5.2.6	Funkce modulu TIMER1 v režimu asynchronní čítač	75
5.2.6.1	ČTENÍ A ZMĚNA OBSAHU REGISTROVÉHO PÁRU TMR1L A TMR1H V REŽIMU ASYNCHRONNÍ ČÍTAČ	75
5.2.7	Nulování registrů TIMER1 s použitím modulů CCP	76
5.2.8	Nulování registrů modulu TIMER1	76
5.2.9	Předdělič modulu TIMER1	76
5.3	FUNKČNÍ MODUL TIMER2 (ČASOVAČ 2)	77
5.3.1	Funkce modulu časovače TIMER2	77
5.3.2	Předdělič a „dělič po“	77
6	Funkční moduly CAPTURE/COMPARE/PWM (moduly CCP1/CCP2)	80
6.1	FUNKČNÍ MODUL CCP1	80
6.2	FUNKČNÍ MODUL CCP2	81
6.3	MODUL CCPx VE FUNKČNÍM REŽIMU CAPTURE	83
6.3.1	Konfigurace vývodů CCP1/CCP2	83
6.4.2	Nastavení časovače TIMER1 pro režim COMPARE	84
6.4.3	Funkční režim programové přerušeni	84
6.4.4	Speciální funkce	84
6.3.2	Předdělič	85
6.3.3	Nastavení modulu TIMER1 pro režim CAPTURE	85
6.4	MODUL CCPx VE FUNKČNÍM REŽIMU COMPARE	85
6.4.1	Konfigurace vývodů CCP1/CCP2	85
6.5	MODUL CCPx V REŽIMU PWM	86
6.5.1	Nastavení CCP1 do režimu PWM	86
6.5.2	Perioda PWM	87
6.5.3	Střída sepnutí modulu CCP v režimu PWM	87
7	Modul synchronního sériového portu (MSSP)	90
7.1	REŽIM SPI	90
7.1.1	Funkce	94
7.1.2	Povolení SPI	96
7.1.3	Typické zapojení	96
7.1.4	Řídící režim (MASTER)	97
7.1.5	Řízený režim (SLAVE)	98

7.1.6	Synchronizovaný řízený režim (SLAVE)	98
7.1.7	Stav SLEEP	100
7.1.8	Vliv signálu RESET	100
7.2	FUNKCE MODULU V ŘÍDICÍM REŽIMU (MSSP) SBĚRNICE I2C	101
7.2.1	Řízený režim – SLAVE	102
7.2.1.1	ADRESOVÁNÍ	103
7.2.1.2	PŘÍJEM V ŘÍZENÉM REŽIMU – SLAVE	104
7.2.1.3	VYSÍLÁNÍ V ŘÍZENÉM REŽIMU – SLAVE	105
7.2.2	Podpora volání obecnou adresou	107
7.2.3	Stav SLEEP	108
7.2.4	Vliv RESETu	108
7.2.5	Řídicí režim – MASTER	108
7.2.6	Režim s více řídicími obvody na sběrnici (Multi-Master)	109
7.2.7	Podpora řídicího režimu I2C (MASTER)	109
7.2.7.1	FUNKCE MODULU I2C V ŘÍDICÍM REŽIMU (MASTER).....	110
7.2.8	Generátor rychlosti přenosu	111
7.2.9	Průběhy signálů na sběrnici I2C v režimu MASTER při podmínce START	112
7.2.9.1	PŘÍZNAKOVÝ BIT WCOL	113
7.2.10	Průběhy signálů na sběrnici I2C v režimu MASTER při opakované podmínce START	114
7.2.10.1	PŘÍZNAKOVÝ BIT WCOL	114
7.2.11	Vysílání na sběrnici I2C v řídicím režimu (MASTER).....	116
7.2.11.1	PŘÍZNAKOVÝ BIT BF (SSPSTAT<0.)	117
7.2.11.2	PŘÍZNAKOVÝ BIT WCOL (SSPCON<7>)	117
7.2.11.3	PŘÍZNAKOVÝ BIT ACKSTAT (SSPCON2<6>)	117
7.2.12	Příjem na sběrnici I2C v řídicím režimu (MASTER)	119
7.2.12.1	PŘÍZNAKOVÝ BIT BF (SSPSTAT<0.)	119
7.2.12.2	PŘÍZNAKOVÝ BIT SSPOV (SSPCON<6>)	120
7.2.12.3	PŘÍZNAKOVÝ BIT WCOL (SSPCON<7>)	121
7.2.13	Popis impulzu ACK (potvrzení příjmu)	121
7.2.13.1	PŘÍZNAKOVÝ BIT WCOL (SSPCON<7>)	121
7.2.14	Popis podmínky STOP	122
7.2.14.1	PŘÍZNAKOVÝ BIT WCOL (SSPCON<7>)	123
7.2.15	Rozhodnutí o řízení linky CLK	125
7.2.16	Příkaz SLEEP	125
7.2.17	Vliv RESETu	125
7.2.18	Komunikace s více řídicími obvody na sběrnici I2C, kolize na sběrnici I2C, rozhodnutí o řízení sběrnice	125
7.2.18.1	KOLIZE NA SBĚRNICI BĚHEM PROVÁDĚNÍ PODMÍNKY START	126
7.2.18.2	KOLIZE NA SBĚRNICI BĚHEM OPAKOVANÉ PODMÍNKY START	129

7.2.18.3	KOLIZE NA SBĚRNICI I2C BĚHEM PODMÍNKY STOP	130
7.3	DOPORUČENÉ ZAPOJENÍ SBĚRNICE I2C	131
8	Modul Univerzální synchronní/asynchronní přijímač/vysílač (USART).....	133
8.1	BRG – GENERÁTOR RYCHLOSTI PŘENOSU MODULU USART	136
8.2	ASYNCHRONNÍ REŽIM MODULU USART	137
8.2.1	Asynchronní vysílač modulu USART	141
8.2.2	Asynchronní přijímač modulu USART	143
8.2.3	Nastavení 9bitového režimu s detekcí adresy	143
8.3	ŘÍDICÍ SYNCHRONNÍ REŽIM MODULU USART (MASTER)	146
8.3.1	Synchronní vysílání dat v řídicím (MASTER) režimu modulu USART	146
8.3.2	Synchronní příjem dat v řídicím (MASTER) režimu modulu USART	147
8.4	ŘÍZENÝ SYNCHRONNÍ REŽIM MODULU USART (SLAVE).....	149
8.4.1	Synchronní vysílání dat v řízeném (SLAVE) režimu modulu USART	149
8.4.2	Synchronní příjem dat v řízeném (SLAVE) režimu modulu USART	149
9	Funkční modul A/D převodníku	151
9.1	POŽADAVKY NA VZORKOVÁNÍ.....	155
9.2	VÝBĚR HODINOVÉHO SIGNÁLU PRO A/D PŘEVOD	157
9.3	KONFIGURACE ANALOGOVÝCH VÝVODŮ	157
9.4	A/D PŘEVOD	158
9.5	FUNKCE MODULU A/D PŘEVODNÍKU VE STAVU SLEEP	159
9.6	VLIV SIGNÁLU RESET	160
9.7	PŘESNOST/CHYBA VÝSLEDKU A/D PŘEVODU	160
9.8	DOPORUČENÍ PRO ZAPOJENÍ A/D PŘEVODNÍKU	161
9.9	ZÁVISLOST VSTUPNÍ SIGNÁL/VÝSTUPNÍ ČÍSLO.....	161

10	Komparátory	162
10.1	KONFIGURACE KOMPARÁTORŮ	164
10.2	FUNKCE KOMPARÁTORŮ	164
10.3	REFERENČNÍ NAPĚTÍ KOMPARÁTORU	164
10.3.1	Externí referenční napětí	165
10.3.2	Vnitřní referenční napětí	165
10.4	REAKČNÍ DOBA KOMPARÁTORŮ	165
10.5	VÝSTUP KOMPARÁTORU	165
10.6	VSTUPY KOMPARÁTORU	166
10.7	FUNKCE KOMPARÁTORŮ BĚHEM STAVU SLEEP	167
10.8	Vliv RESETu	167
10.9	PODMÍNKY PRO PROPOJENÍ ANALOGOVÝCH VSTUPŮ	167
11	Modul referenčního napětí pro komparátory	169
12	Speciální vlastnosti CPU	171
12.1	KONFIGURAČNÍ BITY	171
12.2.2	Krystalový oscilátor/keramický rezonátor	174
12.2.3	Vnější krystalový oscilátor	174
12.2	NASTAVENÍ A VOLBA OSCILÁTORU	175
12.2.1	Typy oscilátorů	175
12.3	RESET	176
12.2.4	RC oscilátor	177
12.3.1	Power-On Reset (POR)	179
12.3.2	RESET Power-up Timer (PWRT)	180
12.3.3	Oscillator Start-up Timer (OST)	180
12.3.4	Brown-out Reset (BOR)	180
12.3.5	Co se děje při zapnutí napájení	180
12.3.6	Příznakový registr napájení – PCON	180
12.4	PŘERUŠENÍ	184
12.4.1	Přerušení INT	185
12.4.2	Přerušení při přetečení časovače TIMER0	185
12.4.3	Přerušení při změně stavu na portu RB (RB<7:4>)	185

12.5	ULOŽENÍ OBSAHU REGISTRŮ PŘI PŘERUŠENÍ	186
12.6	WATCHDOG TIMER (WDT)	186
12.7	STAV SLEEP	189
12.7.1	„Probuzení“ ze stavu SLEEP	189
12.7.2	Použití přerušení k „probuzení“ obvodu ze stavu SLEEP	189
12.8	IN-CIRCUIT DEBUGGER	190
12.9.1	Ověření (VERIFIKACE) oblasti s kódovou ochranou	190
12.10	ID ADRESY	190
12.11	IN-CIRCUIT SERIAL PROGRAMMING (PROGRAMOVÁNÍ V KONCOVÉM ZAPOJENÍ)	190
12.9	OCHRANA A KONTROLA PROGRAMOVÉHO KÓDU	191
12.12	PROGRAMOVÁNÍ NÍZKÝM NAPĚTÍM (LOW VOLTAGE PROGRAMMING – REŽIM LVP)	193
13	Popis instrukcí	193
13.1	POPIS INSTRUKCÍ	195
14	Elektrické parametry mikrokontrolérů PIC16F873/874/876/877	212
15	AC a DC parametry v grafech	239
	Knihy nakladatelství BEN – technická literatura	251
	Kontaktní adresy na firmu BEN – technická literatura	254